

## 明 細 書

### 電子装置及びその製造方法

#### 技術分野

- [0001] 本発明は電子装置及びその製造方法に係り、特にインターポーザを介して電子素子を実装基板に電氣的に接続する構成とされた電子装置及びその製造方法に関する。

#### 背景技術

- [0002] 一般に半導体装置は、半導体チップをインターポーザに接合する構造を有している。例えば、インターポーザとしてリードフレームを用いた半導体装置では、インターポーザとなるリードフレームに形成されたダイパッドに半導体チップを固定すると共に、リードフレームと半導体チップをワイヤにより電氣的に接続する構成とされている。
- [0003] また、近年の半導体チップの高密度化及び多ピン化に対応するため、BGA (Ball Grid Array)、またはLGA (Land Grid Array)と称せられるパッケージ構造の半導体装置が多用されている。この半導体装置は、半導体チップにはんだバンプを形成すると共に、この半導体チップをインターポーザとなる基板にフリップチップ実装する構造が採られている。
- [0004] また、BGA或いはLGAに用いられるインターポーザは、表面にはんだバンプが接合される電極パッドが形成されると共に、背面に外部接続端子（はんだボール或いはリード）が接合される電極パッドが形成されている。また、表裏に設けられた各電極パッドは、インターポーザ基材を貫通して形成されたビアにより電氣的に接続された構成とされている。
- [0005] また、このパッケージ構造では、半導体チップとインターポーザとがバンプで電氣的かつ機械的に接合されるため、半導体チップとインターポーザとの機械的接合性が弱い。このため、半導体チップとインターポーザとの間に、アンダーフィル樹脂を設け、これにより半導体チップとインターポーザとの接合位置における機械的強度を高めることが行なわれている。

[0006] 一方、上記のBGA或いはLGAの他に、例えば特許文献1に示されるような、チップサイズパッケージタイプの半導体装置（以下、CSPという）が知られている。このCSPは、パッケージの形状を略半導体チップ（ベアチップ）の大きさと同等の大きさとした半導体装置である。

[0007] このCSPは、外部接続端子としてはんだバンプ或いはポスト（半導体チップにはんだにより接合されている）が形成されており、実装基板（この実装基板もインターポーザの一種と考えられる）にフリップチップ実装される。尚、上記のポストは、半導体チップ上の電極にはんだ付け接合された構成とされている（例えば、特開2002-164369号公報参照）。

特許文献1：特開2002-164369号公報

### 発明の開示

### 発明が解決しようとする課題

[0008] ところで、半導体装置に求められる高密度化の要求は益々厳しくなり、従前では150 $\mu$ mであった端子間ピッチが、現在では70 $\mu$ mの狭ピッチが要求されるようになってきている。150 $\mu$ mの端子間ピッチであればデザインルールに比較的余裕を持たせることができ、ラインアンドスペースも例えばライン幅及びラインスペースを共に15 $\mu$ m程度に設定することができる。

[0009] しかしながら、端子間ピッチが70 $\mu$ mと狭ピッチ化が進むと、半導体チップ側ではラインアンドスペースに余裕がなくなり、フリップチップ接合時において隣接したはんだバンプ間で短絡が発生してしまうという問題点が生じる。また、インターポーザ側においては、インターポーザ基材の表裏面に形成される各電極パッドや、インターポーザ基材を貫通して形成されるビアの形成が微細化のために困難となり、インターポーザの製造コストが上昇してしまうという問題点が生じる。

### 課題を解決するための手段

[0010] 本発明は、上記した従来技術の課題を解決する、改良された有用な電子装置及びその製造方法を提供することを総括的な目的としている。

- [0011] 本発明のより詳細な目的は、容易かつ確実に狭ピッチ化に対応しうると共に製造コストの低減を図り得る電子装置及びその製造方法を提供することを目的とする。
- [0012] この目的を達成するため、本発明は、電子素子と、前記電子素子が接合されるインターポーザ基材と、前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、前記電子素子と前記インターポーザ基材とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする。
- [0013] また、上記の目的を達成するため、本発明は、電子素子と、前記電子素子が接合されるインターポーザ基材と、該インターポーザ基材に形成された貫通孔内に配設され前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、前記電子素子の表面と前記インターポーザ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする。
- [0014] 上記の構成とすることにより、電子素子とインターポーザが直接的に接合されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、部品点数の削減及び電子装置の薄型化を図ることができる。また、インターポーザはポスト電極により電子素子と電氣的に接続されるため、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置の高密度化を図ることができる。更に、電子素子とインターポーザ基材は直接接触させることにより一体化されているため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で電子素子とインターポーザ基材とを接合することができる。
- [0015] また、上記発明において、前記電子素子の材質と前記インターポーザ基材の材質を同一とすることができる。
- [0016] この構成とすることにより、電子素子の表面とインターポーザ基材の表面

とを確実に強固に一体化させることができる。

[0017] また、上記発明において、前記電子素子の材質と前記インターポーザ基材の材質を共にシリコンとすることができる。

[0018] また、上記発明において、前記電子素子の少なくとも前記インターポーザ基材と接合する位置に第1の絶縁材層を形成すると共に、前記インターポーザ基材の少なくとも前記電子素子と接合する位置に第2の絶縁層を形成した構成とすることができる。

[0019] この構成とすることにより、絶縁材層を電子素子及びインターポーザ基材の接合位置に形成した場合には、接合に必要な高い平滑性を持たせる領域を狭くすることができ、絶縁材層の形成を容易化することができる。また、絶縁材層を電子素子及びインターポーザ基材の全面に形成した場合には、この絶縁層を電子素子及びインターポーザ基材を保護する保護層として機能させることができる。

[0020] また、上記発明において、複数の前記ポスト電極が、ひとつの前記貫通孔内に配設された構成とすることができる。

[0021] この構成とすることにより、ひとつの貫通孔内に複数の前記ポスト電極が配設されるため、ポスト電極の形成精度に比べ貫通孔の形成精度を低くすることができ、貫通孔の形成を容易化することができる。

[0022] また、上記発明において、前記インターポーザ基材に段差部を形成し、該電子素子を前記段差部内に前記電子素子を収納する構成とすることができる。

[0023] この構成とすることにより、電子素子をインターポーザに形成された段差部内に収納できるため、電子装置の薄型化を図ることができる。

[0024] また、上記発明において、前記インターポーザ基材には複数の前記電子素子を搭載した構成としてもよい。

[0025] この構成とすることにより、インターポーザ基材に複数の前記電子素子が搭載されている場合には、ポスト電極等の配線を複数の電子素子において一括的に形成することが可能となり、製造効率を向上させることができる。

- [0026] また、上記発明において、前記インターポーザ基材を前記電子素子の背面部と接合した構成とすることができる。
- [0027] この構成とすることにより、電子素子の背面部がインターポーザ基材と接合することにより、電子素子とインターポーザ基材との接合面積を広くすることができる、電子素子の取付け強度を高めることができる。
- [0028] また、上記発明において、前記電子素子を封止する封止樹脂を前記インターポーザ基材に配設した構成とすることができる。
- [0029] この構成とすることにより、電子素子を封止する封止樹脂をインターポーザ基材に配設したことにより、電子素子はインターポーザ基材に封止樹脂により封止された状態で固定されるため、電子素子の保護を確実に図ることができると共に、インターポーザ基材に対する電子素子の取付け強度を高めることができる。
- [0030] また、上記発明において、前記電子素子を半導体チップとすることができる。
- [0031] また、上記発明において、前記電子素子を受動素子とすることができる。
- [0032] また、上記の目的を達成するため、本発明に係る電子装置の製造方法は、貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させることにより、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、該一体化工程の終了後、前記貫通孔内でかつ前記電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、前記再配線の上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とする。
- [0033] 上記発明によれば、一体化工程において電子素子とインターポーザ基材が直接接触させることにより一体化されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、製造工程の単純化を図ることができる。また、一体化工程の終了後にポスト電極形成工程を実施し、貫通孔内でかつ電子素子の電極上にポスト電極を直接形成した

ことにより、電子素子とインターポーザとの間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。また、インターポーザ基材に形成された貫通孔を型としてポスト電極を形成することができるため、ポスト電極の形成の簡単化を図ることができる。

[0034] また、上記の目的を達成するため、本発明に係る電子装置の製造方法は、電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、該ポスト電極形成工程の終了後、貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接接触させ、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、前記再配線上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とする。

[0035] 上記発明によれば、一体化工程において電子素子とインターポーザ基材が直接接触させることにより一体化されるため、電子素子とインターポーザとの接合にパンプやアンダーフィル樹脂を設ける必要がなくなり、製造工程の簡単化を図ることができる。また、ポスト電極形成工程において電子素子の電極上にポスト電極を直接形成するため、電子素子とインターポーザとの間のインピーダンスの低減を図ることができ、電気的特性の向上を図ることができる。また、ポスト電極形成工程の終了後に一体化工程を実施することにより、ポスト電極形成はインターポーザ基材に形成された貫通孔に拘わらず形成することができるため、インターポーザ基材の貫通孔を利用してポスト電極を形成する方法に比べ、ポスト電極の微細化を図ることができる。

[0036] また、上記発明において、前記ポスト電極を保持する絶縁材よりなる保護層を前記電子素子に形成する保護層形成工程を設けてもよい。

[0037] この構成とすることにより、ポスト電極を保持する絶縁材よりなる保護層を電子素子に形成する保護層形成工程を設けたことにより、電子素子上に直接形成されたポスト電極を保護層により保持できるため、ポスト電極が微細化してもこれを確実に保護することができる。

[0038] また、上記の目的を達成するため、本発明は、電子素子と、前記電子素子

が接合されるインターポーザとを具備する電子装置において、前記電子素子と前記インターポーザとを直接接触させることにより一体化した構成としたことを特徴とする。

[0039] 上記の構成とすることにより、電子素子とインターポーザが直接的に接合されるため、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、部品点数の削減及び電子装置の薄型化を図ることができる。

[0040] また、上記発明において、前記電子素子を光デバイスとし、かつ前記インターポーザに前記光デバイスと光学的に接続される光導波路を設けた構成とすることができる。

[0041] 上記の構成とすることにより、光デバイスとインターポーザが直接接合されるため、光デバイスとインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、光デバイスの光学面がはんだや樹脂で汚染のされることを防止できる。

### 発明の効果

[0042] 本発明によれば、電子素子とインターポーザとの接合にバンプやアンダーフィル樹脂を設ける必要が無くなり、部品点数の削減及び電子装置の薄型化を図ることができる。また、バンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置の高密度化を図ることができる。更に、電子素子とインターポーザ基材は直接接触させることにより一体化されるため、バンプとアンダーフィル樹脂を用いた接合力よりも強い接合力で電子素子とインターポーザ基材とを接合することができる。

### 図面の簡単な説明

[0043] [図1] 図1は、本発明の第1実施例である半導体装置を示す断面図である。

[図2A] 図2Aは、第1実施例である半導体装置の製造方法を説明するための図である（その1）。

[図2B] 図2Bは、第1実施例である半導体装置の製造方法を説明するための図である（その2）。

[図2C] 図 2 C は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 3）。

[図3A] 図 3 A は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 4）。

[図3B] 図 3 B は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 5）。

[図3C] 図 3 C は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 6）。

[図4A] 図 4 A は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 7）。

[図4B] 図 4 B は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 8）。

[図4C] 図 4 C は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 9）。

[図4D] 図 4 D は、第 1 実施例である半導体装置の製造方法を説明するための図である（その 10）。

[図5] 図 5 は、本発明の第 2 実施例である半導体装置を示す断面図である。

[図6A] 図 6 A は、第 2 実施例である半導体装置の製造方法を説明するための図である（その 1）。

[図6B] 図 6 B は、第 2 実施例である半導体装置の製造方法を説明するための図である（その 2）。

[図7] 図 7 は、本発明の第 3 実施例である半導体装置を示す断面図である。

[図8A] 図 8 A は、第 3 実施例である半導体装置の製造方法を説明するための図である（その 1）。

[図8B] 図 8 B は、第 3 実施例である半導体装置の製造方法を説明するための図である（その 2）。

[図8C] 図 8 C は、第 3 実施例である半導体装置の製造方法を説明するための図である（その 3）。

[図9] 図9は、本発明の第4実施例である半導体装置を示す断面図である。

[図10A] 図10Aは、第4実施例である半導体装置の製造方法を説明するための図である（その1）。

[図10B] 図10Bは、第4実施例である半導体装置の製造方法を説明するための図である（その2）。

[図11] 図11は、本発明の第5実施例である半導体装置を示す断面図である。

[図12A] 図12Aは、第5実施例である半導体装置の製造方法を説明するための図である（その1）。

[図12B] 図12Bは、第5実施例である半導体装置の製造方法を説明するための図である（その2）。

[図12C] 図12Cは、第5実施例である半導体装置の製造方法を説明するための図である（その3）。

[図13] 図13は、本発明の第6実施例である半導体装置を示す断面図である。

[図14] 図14は、本発明の第7実施例である半導体装置を示す断面図である。

[図15] 図15は、本発明の第8実施例である半導体装置を示す断面図である。

[図16] 図16は、本発明の第9実施例である半導体装置を示す断面図である。

[図17] 図17は、本発明の第9実施例である半導体装置を示す斜視図である。

[図18] 図18は、本発明の第10実施例である半導体装置を示す断面図である。

[図19] 図19は、本発明の第11実施例である半導体装置を示す断面図である。

[図20] 図20は、本発明の第12実施例である半導体装置を示す断面図であ

る。

[図21] 図21は、本発明の第13実施例である半導体装置を示す断面図である。

[図22] 図22は、本発明の第13実施例である半導体装置を示す斜視図である。

[図23] 図23は、本発明の第14実施例である半導体装置を示す断面図である。

[図24] 図24は、本発明の第15実施例である半導体装置を示す断面図である。

[図25] 図25は、本発明の第15実施例である半導体装置を示す斜視図である。

[図26] 図26は、本発明の第16実施例である半導体装置を示す断面図である。

[図27] 図27は、本発明の第17実施例である半導体装置を示す断面図である。

[図28] 図28は、本発明の第18実施例である電子装置を示す断面図である。

[図29] 図29は、本発明の第19実施例である電子装置を示す断面図である。

[図30] 図30は、本発明の第20実施例である電子装置を示す断面図である。

[図31] 図31は、本発明の第21実施例である電子装置を示す断面図である。

[図32] 図32は、図31におけるA-A線に沿う断面図である。

## 符号の説明

- [0044]    10A～10R    半導体装置  
          10S～10V    電子装置  
          11    半導体チップ

- 13 電極
- 14 バリアメタル
- 15 絶縁膜
- 16 チップ側P I 膜
- 17 保護層
- 20A～20V インターポーザ
- 21A～21M インターポーザ基材
- 22A, 22B ポスト電極
- 23 再配線層
- 24 外部接続端子
- 25 第1の絶縁層
- 26 第2の絶縁層
- 27 接合補助部材
- 28 インターポーザ側P I 膜
- 29 補強部材
- 30, 39 段差部
- 31A～31C 貫通孔
- 32 第1のレジスト材
- 33, 36, 37 開口部
- 34 電極用孔
- 35 第2のレジスト材
- 40A～40D キャビティ部
- 46A, 46B 封止樹脂
- 50A～50C チップ部品
- 52 第1のクラッド層
- 53 第2のクラッド層
- 54 コア層
- 55 発光素子

56 受光素子

57 販社部材

59 配線パターン

60, 61 ポスト状電極

### 発明を実施するための最良の形態

[0045] 次に、本発明を実施するための最良の形態について図面と共に説明する。

[0046] 図1は、本発明の第1実施例である電子装置10Aを示す断面図である。本実施例に係る電子装置10Aは、半導体チップ11とインターポーザ20Aとよりなる簡単な構成とされている（以下、電子素子として半導体チップを用いて電子装置を、以下半導体装置というものとする）。

[0047] 半導体チップ11は高密度化された半導体チップであり、回路形成面側に複数の電極13が形成された構成とされている。この電極13は例えばアルミ電極であり、その上層にはバリアメタル14が形成されている。このバリアメタル14は、図示されないが複数の金属膜を積層した構成とされており、その最外層は銅（Cu）膜とされている。

[0048] また、半導体チップ11の回路形成面において、電極13形成以外の領域は絶縁膜15により被覆された構成とされている。本実施例では、半導体チップ11はシリコン基板から形成されたものであり、よって絶縁膜15は二酸化シリコン（ $\text{SiO}_2$ ）である。

[0049] この二酸化シリコンは高い電氣的絶縁性と、物理的な安定を有している。よって、半導体チップ11に形成された薄膜回路は、絶縁膜15により保護される。この絶縁膜15の所定位置は後述するように半導体チップ11に接触されて一体化するが、少なくともこの接触領域における絶縁膜15の表面は高精度な平滑面とされている。

[0050] 尚、図1では図示の便宜上、隣接する電極13間の距離を大きく図示しているが、前記のように半導体チップ11は高密度化されている。よって隣接する電極13間のピッチ（端子間ピッチ）も小さくなっており、具体的には本実施例で対象とする電極13の端子間ピッチは100 $\mu\text{m}$ 以下である。

- [0051] 一方、インターポーザ20Aは、インターポーザ基材21A、ポスト電極22A、再配線層23、外部接続端子24、及び第2の絶縁層26等により構成されている。インターポーザ基材21Aはシリコンにより形成されており、また半導体チップ11に形成された電極13と対応する位置にはポスト電極22Aが形成されている。
- [0052] ポスト電極22Aは、銅（Cu）により形成されている。このポスト電極22Aは、インターポーザ基材21Aに形成された貫通孔31A内に設けられている。また、インターポーザ基材21Aとポスト電極22Aが短絡しないよう、インターポーザ基材21Aとポスト電極22Aの間には、第1の絶縁層25（梨地で示す）が形成されている。本実施例では、第1の絶縁層25としてポリイミド樹脂を用いている。
- [0053] このポスト電極22Aの図中下端部はバリアメタル14に直接接合しており、また上端部は再配線層23に電氣的に接続されている。再配線層23もポスト電極22Aと同様に銅により形成されており、所定のパターンを有している。そして、再配線層23のポスト電極22Aとの接続位置に対する反対側の端部には、外部接続端として機能する外部接続端子24が形成されている。この外部接続端子24は、例えばはんだボールが用いられている。
- [0054] 更に、再配線層23の上部には、第2の絶縁層26が形成されている。第2の絶縁層26は、主に再配線層23を保護するために形成される。この第2の絶縁層26も、第1の絶縁層25と同様にポリイミド樹脂により形成されている。
- [0055] ここで、半導体チップ11とインターポーザ基材21Aとの接合構造、及び電極13とポスト電極22Aの電氣的接続構造に注目し、以下説明する。
- [0056] 先ず、半導体チップ11とインターポーザ基材21Aとの接合構造に注目すると、本実施例では半導体チップ11とインターポーザ基材21Aとの接合するのに接着材やろう材を用いることはしておらず、また溶着或いは溶接等の加熱を伴う接合手段も用いていない。
- [0057] 本実施例では、半導体チップ11とインターポーザ基材21Aのそれぞれ

接合される位置における接合面を高精度の平滑面（鏡面）とし、半導体チップ11とインターポーザ基材21Aとを真空環境下に置いた上で、平滑面同士を押圧しつつ接触させる。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、半導体チップ11とインターポーザ基材21Aは強固に接合された状態となる（この接合方法を微小基材面接合方法という）。

[0058] この際、接合されるもの同士の材質は同一或いは同種であることが望ましい。即ち、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一或いは同種であることが望ましい。これにより、半導体チップ11とインターポーザ基材21Aとの接合力を高めることができ、半導体装置10Aの信頼性を高めることができる。

[0059] 本実施例では、半導体チップ11の接合位置は $\text{SiO}_2$ よりなる絶縁膜15であり、インターポーザ基材21Aはシリコンである。しかしながら、図示しないがインターポーザ基材21Aの表面には、通常 $\text{SiO}_2$ の薄膜層が形成されている。よって、半導体チップ11の接合位置における材質と、インターポーザ基材21Aの接合位置における材質は同一となる。

[0060] 更に、前記したように半導体チップ11及びインターポーザ基材21Aの接合位置は、いずれも平滑面とされている。よって本実施例では、真空環境下において平滑面とされた互いの接合面を接触させて押圧することにより、半導体チップ11とインターポーザ20Aは一体化する。

[0061] このように、本実施例では半導体チップ11とインターポーザ20A（インターポーザ基材21A）とを直接接触させることにより一体化しているため、従来行なわれていたバンプとアンダーフィル樹脂を用いて半導体チップとインターポーザとを接合する構造に比べ、強い接合力で半導体チップ11とインターポーザ20Aとを接合することができる。

[0062] また、本実施例では半導体チップ11を封止する封止樹脂は設けられておらず、これにより放熱特性の向上を図ることができる。また、単に真空環境下で接触させるだけで半導体チップ11とインターポーザ20Aを接合でき

るため、接合に要する部品点数の削減を図ることができる。

- [0063] 尚、本実施例では、半導体チップ 11 とインターポーザ 20A が接合されることにより外部に形成される段部に接合補助部材 27 を配設した構成としている。これにより、半導体チップ 11 とインターポーザ 20A の取付け強度をより高めることができ、半導体装置 10A の信頼性をより高めることができる。
- [0064] 続いて、電極 13 とポスト電極 22A の電氣的接続構造に注目する。前記したように、ポスト電極 22A はインターポーザ基材 21A に形成された貫通孔 31A 内に形成されている。
- [0065] 従来では、半導体チップとインターポーザを電氣的に接続しようとした場合、半導体チップにはんだバンプを形成し、これをインターポーザにフリップチップ接合することが行なわれていたことは前述した通りである。
- [0066] これに対して本実施例では、ポスト電極 22A を半導体チップ 11 の電極 13 上（詳細にはバリアメタル 14 上）に直接形成した構成としたことを特徴としている。即ち、本実施例に係る半導体装置 10A はポスト電極 22A が電極 13 上に直接めっき法等（これについては後述する）により形成されており、ポスト電極 22A と電極 13 との間には、はんだバンプ等の他の導電性要素は介在していない。
- [0067] このため、本実施例に係る半導体装置 10A によれば、従来必要とされたバンプやアンダーフィル樹脂が不要となり、部品点数の削減を図ることができる。また、バンプやアンダーフィル樹脂が不要となることにより、半導体装置 10A の薄型化を図ることもできる。更に、バンプを用いていた従来の接続構造に比べ、隣接するポスト電極 22A の電極間ピッチを狭ピッチ化することが可能となり、よって半導体装置 10A の高密度化を図ることができる。
- [0068] 続いて、上記構成とされた半導体装置 10A の製造方法について説明する。図 2A 乃至図 4D は、半導体装置 10A の製造方法を説明するための図である。尚、図 2A 乃至図 4D において、図 1 に示した構成と同一構成につい

ては同一符号を付してその説明を省略するものとする。

- [0069] 半導体装置 10A を製造するには、図 2A に示すように、半導体チップ 11 とインターポーザ基材 21A を用意する。半導体チップ 11 は、周知の半導体製造プロセスを経ることにより製造されるものであり、回路形成面側（図中上面）にはバリアメタル 14 により保護された電極 13 が形成されている。
- [0070] また、電極 13 の形成位置以外は  $\text{SiO}_2$  よりなる絶縁膜 15 が形成されており、この絶縁膜 15 により回路形成面に形成された電子回路は保護されている。この絶縁膜 15 の少なくともインターポーザ基材 21A と接合される部位は、高精度に平滑化されている。
- [0071] 一方、インターポーザ基材 21A は、シリコンウエハから切り出したものであり、半導体チップ 11 に形成された電極 13 と対応する位置には貫通孔 31A が形成されている。この貫通孔 31A は、電極 13 の面積よりも広い断面積を有するよう構成されている。このインターポーザ基材 21A は、その表面全面に保護膜としての  $\text{SiO}_2$  膜（図示せず）が形成されている。
- [0072] 更に、インターポーザ基材 21A の表面で、少なくとも半導体チップ 11 と接合される部位は、高精度に平滑化されている。この半導体チップ 11 及びインターポーザ基材 21A に形成される接合面を平滑化する方法としては種々の方法が考えられるが、比較的安価な処理としてはラッピング等の研削法を用いることができ、また更に高精度の平坦面を形成しようとする場合には CMP（化学機械研磨）またはドライエッチングを適用することも考えられる。
- [0073] 上記構成とされた半導体チップ 11 及びインターポーザ基材 21A は、真空装置内に入れられる。そして貫通孔 31A と電極 13 とを位置決めした上で、図 2B に示されるように、半導体チップ 11 とインターポーザ基材 21A は、互いの平坦面（鏡面）同士が接触され続いて加圧される。これにより、平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ 11 とインターポーザ基材 21A は強固に接合された状

態となる（一体化工程）。

- [0074] 一体化工程が終了すると、続いて貫通孔 3 1 A 内でかつ半導体チップ 1 1 の電極 1 3（バリアメタル 1 4）にポスト電極 2 2 A を直接形成するポスト電極形成工程が実施される。このポスト電極形成工程では、先ず図 2 C に示されるように、貫通孔 3 1 A を封止すると共にインターポーザ基材 2 1 A の上面が被覆されるよう第 1 の絶縁層 2 5 を形成する。この第 1 の絶縁層 2 5 はポリイミド樹脂であり、スピナー法或いはポットティング法を用いてインターポーザ基材 2 1 A に形成することができる。
- [0075] 第 1 の絶縁層 2 5 が形成されると、続いて図 3 A に示されるように、第 1 の絶縁層 2 5 の上部に所定の開口部 3 3 を有した第 1 のレジスト材 3 2 が形成される。続いて、この第 1 のレジスト材 3 2 をマスクとして第 1 の絶縁層 2 5 を除去する処理が行なわれる。この除去処理が実施されることにより、図 3 B に示すように電極用孔 3 4 が形成されると共に、電極用孔 3 4 の下端にバリアメタル 1 4 が露出する。
- [0076] 次に、電極用孔 3 4 内に銅めっきを実施し、これにより図 3 C に示すように、電極用孔 3 4 内にポスト電極 2 2 A を形成する。この際、ポスト電極 2 2 A はバリアメタル 1 4 上に銅が直接析出されることにより形成されるため、ポスト電極 2 2 A はバリアメタル 1 4（即ち、電極 1 3）上に直接形成された構成となる。尚、ポスト電極 2 2 A の形成には、電解めっき法或いは無電解めっき法のいずれをも用いることが可能である。
- [0077] 上記したポスト電極形成工程が終了すると、続いて再配線層 2 3 を形成する再配線形成工程が実施される。この再配線形成工程では、図 4 A に示すように、再配線層 2 3 の形成位置に開口部 3 6 を有したパターンの第 2 のレジスト材 3 5 が形成される。この第 2 のレジスト材 3 5 は、ホトレジスト材をインターポーザ基材 2 1 A 上に塗布し、その後に露光及び現像処理を行うことにより形成される。
- [0078] 第 2 のレジスト材 3 5 が形成されると、続いて開口部 3 6 内に銅めっきを実施し、これにより図 4 B に示すように、開口部 3 6 内に再配線層 2 3 を形

成する。この際、ポスト電極 2 2 A の上端部に直接再配線層 2 3 が形成されるため、ポスト電極 2 2 A と再配線層 2 3 との電氣的接続性は良好となる。尚、再配線層 2 3 の形成方法についても、電解めっき法或いは無電解めっき法のいずれを用いることも可能である。

[0079] 上記した再配線形成工程が終了すると、続いて再配線層 2 3 上に外部接続端子 2 4 を形成する外部接続電極形成工程が実施される。外部接続電極形成工程では、先ず第 2 のレジスト材 3 5 を除去すると共に、これにより露出した第 1 の絶縁層 2 5 及び再配線層 2 3 の上部に第 2 の絶縁層 2 6 を形成する。この第 2 の絶縁層 2 6 は、第 1 の絶縁層 2 5 と同質であるポリイミド樹脂により形成されている。

[0080] この第 1 の絶縁層 2 5 の再配線層 2 3 と対向する所定位置には、図 4 C に示すように、開口部 3 7 が形成される。本実施例では、開口部 3 7 を再配線層 2 3 のポスト電極 2 2 A と接続する端部と反対側の端部に形成しているが、開口部 3 7 の形成位置は任意に選定することが可能である。尚、開口部 3 7 の形成方法としては、エッチング法或いはレーザ加工法等を用いることができる。

[0081] 続いて、図 4 D に示すように、上記の開口部 3 7 にははんだボールよりなる外部接続端子 2 4 が搭載され、熱処理することにより再配線層 2 3 に接合させる。以上の一連の工程を実施することにより、図 1 に示す半導体装置 1 0 A が製造される。

[0082] 上記した製造方法によれば、一体化工程において半導体チップ 1 1 とインターポーザ基材 2 1 A は直接接触させることにより一体化される。このため、半導体チップ 1 1 とインターポーザ 2 0 A の接合に、従来必要とされたバンプやアンダーフィル樹脂を設ける必要がなくなり、製造工程の簡単化を図ることができる。

[0083] また、一体化工程の終了後に実施されるポスト電極形成工程では、貫通孔 3 1 A 内に基板 2 2 A が形成される。この際、ポスト電極 2 2 A は半導体チップ 1 1 のバリアメタル 1 4 (電極 1 3) に直接形成されるため、半導体チ

チップ 11 とインターポーザ 20A 間のインピーダンスの低減を図ることができる、電気的特性の向上を図ることができる。また、インターポーザ基材 21A に形成された貫通孔 31A（実際には、内周に第 1 の絶縁層 25 の膜が形成されている）を型としてポスト電極 22A が形成されるため、ポスト電極 22A の形成を簡単化することができる。

[0084] 尚、上記実施例では、半導体チップ 11 とインターポーザ基材 21A の接合位置における材質を同一材質（ $\text{SiO}_2$ ）としたが、必ずしも半導体チップ 11 とインターポーザ基材 21A の接合位置における材質を同一材質とする必要はない。例えば、 $\text{SiO}_2$  膜が存在しない  $\text{Si}$  のみからなるインターポーザ基材 21A であっても、接合面同士が平滑面であれば  $\text{SiO}_2$  よりなる絶縁膜 15 と接触させるのみで接合することは可能である。

[0085] 続いて、本発明の第 2 実施例について説明する。図 5 は、本発明の第 2 実施例である半導体装置 10B を示しており、また図 6A、図 6B は半導体装置 10B の製造方法を示している（一体化工程のみ示す）。尚、図 5 において、先の説明に用いた図 1 乃至図 4D に示した構成と同一構成については、同一符号を付してその説明を省略するものとする。また、後の説明に用いる図 6A 以降の各図についても同様とする。

[0086] 本実施例に係る半導体装置 10B は、半導体チップ 11 に形成されている絶縁膜 15 の表面にチップ側ポリイミド膜 16（請求項に記載の第 1 の絶縁材層に相当する。以下、チップ側 PI 膜 16 という）を形成すると共に、インターポーザ 20B を構成するインターポーザ基材 21A の外周にインターポーザ側ポリイミド膜 28（請求項に記載の第 2 の絶縁材層に相当する。以下、インターポーザ側 PI 膜 28 という）を形成したことを特徴とするものである。

[0087] 本実施例では、チップ側 PI 膜 16 を絶縁膜 15 の表面全面（電極 13 の形成位置は除く）に形成しており、またインターポーザ側 PI 膜 28 はインターポーザ基材 21A の外周全面に形成されている。しかしながら、各 PI 膜 16、28 は必ずしも絶縁膜 15 及びインターポーザ基材 21A の外周全

面に形成しなければならないものではなく、少なくとも半導体チップ１１とインターポーザ基材２１Ａとの接合位置に形成されていればよい。

[0088] チップ側ＰＩ膜１６及びインターポーザ側ＰＩ膜２８の半導体チップ１１とインターポーザ基材２１Ａとが接合される位置は、高い平滑性を有した平滑面とされている。本実施例では、半導体チップ１１に形成されたチップ側ＰＩ膜１６と、インターポーザ基材２１Ａに形成されたインターポーザ側ＰＩ膜２８を接触させることにより、半導体チップ１１とインターポーザ基材２１Ａとを接合した構成とされている。

[0089] 従って半導体装置１０Ｂの製造方法においては、一体化工程を実施する際、図６Ａに示すように予め半導体チップ１１側では絶縁膜１５上にチップ側ＰＩ膜１６を形成しておき、またインターポーザ基材２１Ａ側ではその表面（本実施例では、外周全面）にインターポーザ側ＰＩ膜２８を形成しておく。そして、上記構成とされた半導体チップ１１及びインターポーザ基材２１Ａは、真空装置内に入れられ、所定の真空環境下で互いの平坦面（鏡面）同士が接触され続いて加圧される。

[0090] これにより、図６Ｂに示されるように平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、これにより半導体チップ１１とインターポーザ基材２１Ａは強固に接合された状態となる。このように、半導体チップ１１及びインターポーザ基材２１Ａの表面にＰＩ膜１６、２８（樹脂膜）が被膜された状態であっても、接着剤等を用いなくても接触させ押圧するのみで半導体チップ１１とインターポーザ基材２１Ａとを接合することができる。

[0091] この際、ＰＩ膜１６、２８を半導体チップ１１及びインターポーザ基材２１Ａの接合位置のみに形成した場合には、接合に必要な高い平滑性を持たせる領域を狭くすることができ、ＰＩ膜１６、２８の表面平滑化処理を容易化することができる。また、ＰＩ膜１６、２８を半導体チップ１１及びインターポーザ基材２１Ａの外周全面に形成した場合には、このＰＩ膜１６、２８を半導体チップ１１及びインターポーザ基材２１Ａを保護する保護層とし

て機能させることができる。

- [0092] 尚、一体化工程が終了した後の工程は、図 2 A 乃至図 4 D を用いて説明した第 1 実施例に係る半導体装置 10 A の製造方法と同一であるため、その説明は省略する。
- [0093] 続いて、本発明の第 3 実施例について説明する。図 7 は、本発明の第 3 実施例である半導体装置 10 C を示しており、また図 8 A 乃至図 8 C は半導体装置 10 C の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。
- [0094] 本実施例に係る半導体装置 10 C は、一体化工程を実施する前にポスト電極形成工程を実施することにより製造されたことを特徴とするものである。即ち、本実施例に係る半導体装置 10 C は、半導体チップ 11 の電極電極 13（バリアメタル 14）上にポスト電極 22 B を直接形成した後、このポスト電極 22 B が形成された半導体チップ 11 をインターポーザ基材 21 A と直接接合させることにより製造される。
- [0095] 図 8 A に示すように、半導体チップ 11 にポスト電極 22 B を形成するには、例えば次のような方法を用いることができる。即ち、先ず半導体チップ 11 の回路形成面上に感光性を有したドライフィルムを貼着する。このドライフィルムの厚さは、ポスト電極 22 B の高さと同しく設定されている。続いて、このドライフィルムに露光及び現像処理を行うことにより、ポスト電極 22 B の形成位置に貫通孔を形成する。
- [0096] この貫通孔が形成された状態で、その底部にはバリアメタル 14 が露出した状態となる。続いて、銅めっきを行うことにより、ドライフィルムに形成された貫通孔内にポスト電極 22 A を形成する。この際、ポスト電極 22 A はバリアメタル 14（電極 13）上に直接形成された構成となる。続いて、ドライフィルムを剥離することにより、図 8 A に示すポスト電極 22 B が形成された半導体チップ 11 が製造される。
- [0097] 上記したポスト電極形成工程が終了すると、続いて一体化工程が実施される。この一体化工程では、半導体チップ 11 及びインターポーザ基材 21 B

は真空装置内に入れられ、所定の真空環境下で互いの平坦面（鏡面）同士が接触され続いて加圧される。これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図 8 B に示されように、半導体チップ 1 1 とインターポーザ基材 2 1 B は強固に接合された状態となる。

[0098] この半導体チップ 1 1 とインターポーザ基材 2 1 B とが一体化した状態において、ポスト電極 2 2 B はインターポーザ基材 2 1 A に形成されている貫通孔 3 1 A 内に挿通された状態となっている。また、ポスト電極 2 2 B の直径は、貫通孔 3 1 A の直径に対して小さいため、ポスト電極 2 2 B の外周面と貫通孔 3 1 A の内周面との間には間隙が形成される。

[0099] 上記の一体化工程が終了すると、第 1 の絶縁層 2 5 の形成処理が実施される。この際、図 8 C に示されるように、第 1 の絶縁層 2 5 はポスト電極 2 2 B の外周面と貫通孔 3 1 A の内周面との間の間隙内にも充填される。尚、第 1 の絶縁層 2 5 の形成処理が終了した後の工程は、図 2 A 乃至図 4 D を用いて説明した第 1 実施例に係る半導体装置 1 0 A の製造方法と同一であるため、その説明は省略する。

[0100] 上記のように本実施例に係る半導体装置 1 0 C 及びその製造方法によれば、ポスト電極形成工程の終了後に一体化工程を実施しているため、ポスト電極 2 2 B の形成はインターポーザ基材 2 1 A に形成された貫通孔 3 1 A に拘わらず形成することができる。即ち、前記した第 1 実施例に係る半導体装置 1 0 A の製造方法と異なり、貫通孔 3 1 A はポスト電極 2 2 B を形成するためのいわゆる型としては用いられていないため、ポスト電極 2 2 B と貫通孔 3 1 A とを別個に形成することができる（但し、ポスト電極 2 2 B の直径を貫通孔 3 1 A の直径に対して小さくする必要はある）。

[0101] このため、インターポーザ基材 2 1 A に形成された貫通孔 3 1 A を利用してポスト電極 2 2 A を形成した第 1 実施例に係る製造方法に比べ、本実施例に係る半導体装置 1 0 C の製造方法によれば貫通孔 3 1 A を容易に形成することができる。

[0102] また、第 1 実施例に係る製造方法では、貫通孔 3 1 A を型としてポスト電

極 2 2 A を形成する構成であったため、貫通孔 3 1 A の直径がそのままポスト電極 2 2 A の直径を決める要因となっていた。

[0103] インターポーザ基材 2 1 A に対する穴あけ加工は、機械加工或いはレーザ加工が主である。これに対して本実施例では、感光性を有したドライフィルムに露光及び現像処理を行うことによりポスト電極 2 2 B の形成用の貫通孔を形成するため、貫通孔の微細化を図ることができる。これにより、ポスト電極 2 2 B の狭ピッチで配設することができ、半導体装置 1 0 C の高密度化を図ることができる。

[0104] 続いて、本発明の第 4 実施例について説明する。図 9 は、本発明の第 4 実施例である半導体装置 1 0 D を示しており、また図 1 0 A 及び図 1 0 B は半導体装置 1 0 D の製造方法を示している（一体化工程のみ示す）。

[0105] 本実施例に係る半導体装置 1 0 D は、複数（図では 2 本のみ示す）のポスト電極 2 2 A をひとつの貫通孔 3 1 B 内に配設したことを特徴としている。このため、図 1 0 A に示すように、インターポーザ基材 2 1 B に形成される貫通孔 3 1 B は、前記した第 1 乃至第 3 実施例における貫通孔 3 1 A に比べて広い面積を有した構成とされている。また一体化工程においては、図 1 0 B に示すように、インターポーザ基材 2 1 B の貫通孔 3 1 B が形成された縁部が半導体チップ 1 1 と直接接合される構成となる。

[0106] 本実施例の構成とすることにより、ひとつの貫通孔 3 1 B 内に複数のポスト電極 2 2 A が配設されるため、ポスト電極 2 2 A の形成精度に比べ貫通孔 3 1 B の形成精度を低くすることができ、よって貫通孔 3 1 B の形成を容易化することができる。

[0107] 続いて、本発明の第 5 実施例について説明する。図 1 1 は、本発明の第 5 実施例である半導体装置 1 0 E を示しており、また図 1 2 A 乃至図 1 2 C は半導体装置 1 0 E の製造方法を示している（ポスト電極形成工程及び一体化工程のみ示す）。

[0108] 本実施例に係る半導体装置 1 0 E も第 3 実施例に係る半導体装置 1 0 D と同様に、複数のポスト電極 2 2 B がひとつの貫通孔 3 1 B 内に配設された構

成とされている。よって、このポスト電極 2 2 B も、バリアメタル 1 4（電極 1 3）上に直接形成された構成となっている。

[0109] また、ポスト電極 2 2 B は前記した第 3 実施例と同様に感光性を有したドライフィルムを用いて形成され、またポスト電極 2 2 B の形成のタイミングは一体化工程よりも先に実施される。更に本実施例では、半導体チップ 1 1 にポスト電極 2 2 B が形成された後、ポスト電極 2 2 B を保護する保護層 1 7 を形成することを特徴としている。

[0110] 保護層 1 7 は、絶縁材よりなる。具体的には、本実施例ではポスト電極 2 2 B の形成に用いたドライフィルムを剥離することなく、そのまま保護層 1 7 として使用した構成としている（保護層形成工程）。この構成とすることにより、ドライフィルムを剥離する工程を無くすることができ、新たに保護層 1 7 を設ける構成に比べて製造工程の短縮及び部品点数の削減を図ることができる。但し、保護層 1 7 の形成方法は本実施例の製造方法に限定されるものではなく、他の方法（例えば、レジスト等を利用する方法）を用いてもよい。

[0111] 上記したポスト電極 2 2 B を形成するポスト電極形成工程、及び保護層 1 7 を形成する保護層形成工程が終了すると、一体化工程が実施される。この一体化工程では、所定の真空環境下で半導体チップ 1 1 及びインターポーザ基材 2 1 B の平坦面（鏡面）同士が接触加圧される（図 1 2 A 参照）。

[0112] これにより平滑面同士は密着し、接着剤等を用いなくても各平滑面は一体化し、図 1 2 B に示されように、半導体チップ 1 1 とインターポーザ基材 2 1 B は強固に接合された状態となる。この接合状態において、保護層 1 7 の外周と貫通孔 3 1 B の内周との間には、図 1 2 B に示されように間隙が形成されるよう構成されている

上記の一体化工程が終了すると、第 1 の絶縁層 2 5 の形成処理が実施される。この際、図 1 2 C に示されるように、第 1 の絶縁層 2 5 は保護層 1 7 の外周面と貫通孔 3 1 B の内周面との間の間隙内にも充填される。尚、第 1 の絶縁層 2 5 の形成処理が終了した後の工程は、図 2 A 乃至図 4 D を用いて説

明した第1実施例に係る半導体装置10Aの製造方法と同一であるため、その説明は省略する。

[0113] 上記のように本実施例では、ポスト電極22Bを絶縁材よりなる保護層17で保持する構成としているため、狭ピッチ化に伴いポスト電極22Bが微細化しても、半導体チップ11上に直接形成されたポスト電極22Bを確実に保護することができる。更に、ポスト電極22Bを貫通孔31Bに挿入する際、ポスト電極22B（特に貫通孔31Bの内周に近いポスト電極22B）がインターポーザ基材21Bと衝突して破損することを防止することができる。

[0114] 続いて、本発明の第6乃至第8実施例について説明する。図13は第6実施例である半導体装置10Fを示しており、図14は第7実施例である半導体装置10Gを示しており、更に図15は第8実施例である半導体装置10Hを示している。各実施例に係る半導体装置10G～10Hは、上記した第1乃至第5実施例に係る半導体装置10A～10Eにおいて、更に薄型化を図れるよう構成したものである。

[0115] 図13に示す半導体装置10Fは、インターポーザ20Fをインターポーザ基材21Cと補強部材29とにより構成したことを特徴としている。インターポーザ基材21Cは、第1乃至第5実施例に係る半導体装置10A～10Eで用いていたインターポーザ基材21A、21Bに比べて薄く形成されている。しかしながら、このインターポーザ基材21Cにはスティフナーとして機能する補強部材29が設けられており、所定の機械的強度を維持するよう構成されている。

[0116] 補強部材29は中央に開口部38が形成されており、この開口部38の面積はインターポーザ基材21Cに形成された貫通孔31Bの面積及び半導体チップ11の面積よりも広く設定されている。即ち、半導体チップ11がインターポーザ基材21Cに直接的に一体化した状態において、補強部材29とインターポーザ基材21Cとの間には段差部39が形成され、この段差部39内に半導体チップ11が収納された構成となっている。この構成とする

ことにより、半導体チップ 11 はインターポーザ 20 F に形成された段差部 39 内（窪んだ部分）に収納できるため、半導体装置 10 F の薄型化を図ることができる。

[0117] 図 14 に示す半導体装置 10 G は、別個に補強部材 29 を設けることなく、インターポーザ基材 21 D に直接に段差部 30 を形成したことを特徴とするものである。更に、図 15 に示す半導体装置 10 H は、インターポーザ基材 21 E に形成する貫通孔 31 C の面積を半導体チップ 11 の面積よりも大きくすることにより、半導体チップ 11 を貫通孔 31 C 内に収納するよう構成したものである。いずれの構成の半導体装置 10 G, 10 H であっても、半導体チップ 11 の高さの一部或いは全部がインターポーザ基材 21 D, 21 E の厚さと重なるため、半導体装置 10 G, 10 H の薄型化を図ることができる。

[0118] 続いて、本発明の第 9 乃至第 12 実施例について説明する。図 16 及び図 17 は第 9 実施例である半導体装置 10 I を示している。また、図 18 は第 10 実施例である半導体装置 10 J の断面図であり、図 19 は第 11 実施例である半導体装置 10 K の断面図であり、図 20 は第 12 実施例である半導体装置 10 L の断面図である。

[0119] この図 16 乃至図 20 に示す半導体装置 10 I ~ 10 L は、いずれもインターポーザ 20 I ~ 21 H に複数の半導体チップ 11 を配設したことを特徴としている。尚、図 16 以降の各図において、先の説明に用いた図 1 A 乃至図 15 に示した構成と同一構成については同一符号を付してその説明を省略するものとする。

[0120] 図 16 及び図 17 に示す第 9 実施例に係る半導体装置 10 I は、インターポーザ 20 I のインターポーザ基材 21 F に貫通孔が形成されていない構成である。即ち、インターポーザ基材 21 F は、複数のキャビティ部 40 A がインターポーザ基材 21 F の下面から形成されており、この各キャビティ部 40 A の天面部分に半導体チップ 11 が接合されることにより、複数の半導体チップ 11 がインターポーザ 20 I に配設された構成とされている。この

ため図 17 に示すように、半導体チップ 11 はインターポーザ基材 21 F の天板部 42 に隠れ、半導体装置 10 I の外部からは見えない構成となっている。

[0121] また、各半導体チップ 11 は、その背面部 11 a がキャビティ部 40 A に接合することによりインターポーザ基材 21 F に固定される。また、半導体チップ 11 とインターポーザ基材 21 F との接合は、前記した各実施例と同様に微小基材面接合方法を用いて接合される。

[0122] この際、複数の半導体チップ 11 は、インターポーザ基材 21 F に同時に一括的に接合させる。即ち、複数の半導体チップ 11 は、インターポーザ基材 21 F への接合は、いわゆるバジ処理により行われる。これにより、半導体チップ 11 のインターポーザ基材 21 F への接合処理を効率よく実施することができる。

[0123] 一方、前記したように微小基材面接合方法を用いる場合には、接合されるもの同士の材質は同一或いは同種であることが望ましい。このため、本実施例では、インターポーザ基材 21 F の材質としてシリコン或はガラスを用いている。これにより、半導体チップ 11 とインターポーザ基材 21 F との接合力を高めることができ、半導体装置 10 I の信頼性を高めることができる。

[0124] また、複数の半導体チップ 11 を同一のインターポーザ基材 21 F に接合する構成では、個々の半導体チップ 11 のインターポーザ基材 21 F に対する接合強度を高めることが半導体装置 10 I の信頼性を高める点から重要である。この点、本実施例では半導体チップ 11 の背面部 11 a の全面がキャビティ部 40 A に微小基材面接合しているため、半導体チップ 11 とインターポーザ基材 21 F との接合面積を広くすることができ、半導体チップ 11 の取付け強度を高めることができる。

[0125] 図 18 に示す第 10 実施例に係る半導体装置 10 J は、インターポーザ基材 21 G の下面よりキャビティ部 40 B を形成すると共に、天板部 42 の半導体チップ 11 と対向する所定部分に開口部 43 を形成したことを特徴とす

るものである。本実施例では、天板部 4 2 の開口部 4 3 の外周縁が半導体チップ 1 1 の背面部 1 1 a と微小基材面接合した構成となっている。

[0126] 本実施例のようにインターポーザ基材 2 1 G に開口部 4 3 を形成することにより、半導体チップ 1 1 の背面部 1 1 a は、外部に露出した構成となる。これにより、半導体チップ 1 1 で発生する熱を効率よく放熱することができ、半導体チップ 1 1 が熱により誤動作したり損傷したりすることを確実に防止することができる。

[0127] 図 1 9 に示す第 1 1 実施例に係る半導体装置 1 0 K は、インターポーザ基材 2 1 G に下面から形成されるキャビティ部 4 0 B 形成すると共に、天板部 4 2 の開口部 4 3 及び半導体チップ 1 1 の配設位置を除き接着剤 4 4 を配設したことを特徴とするものである。

[0128] 本実施例に係る半導体装置 1 0 K は、図 1 8 に示した第 1 1 実施例に係る半導体装置 1 0 J と同様に、インターポーザ基材 2 1 G の天板部 4 2 で半導体チップ 1 1 の背面部 1 1 a と対向する位置に開口部 4 3 が形成されており、これにより半導体チップ 1 1 の放熱効率の向上を図っている。しかしながら、開口部 4 3 を形成することにより放熱効率は向上するものの、天板部 4 2 と半導体チップ 1 1 との接合面積が狭くなり、図 1 8 に示した半導体装置 1 0 J に比べ、半導体チップ 1 1 のインターポーザ基材 2 1 G に対する接合強度は弱くなる。

[0129] そこで、本実施例では複数の半導体チップ 1 1 をインターポーザ基材 2 1 G に微小基材面接合した後、キャビティ部 4 0 B 内に接着剤 4 4 を配設する構成とした。この接着剤 4 4 は例えば熱硬化型の樹脂であり、硬化した後は半導体チップ 1 1 を保護しうる強度を有するものが選定されている。よって、本実施例に係る半導体装置 1 0 K によれば、半導体チップ 1 1 の放熱効率を高く維持しつつ、半導体チップ 1 1 のインターポーザ基材 2 1 G に対する機械的強度を高めることができる。

[0130] 図 2 0 に示す第 1 2 実施例に係る半導体装置 1 0 L は、インターポーザ基材 2 1 H に上面から複数のキャビティ部 4 0 B を形成し、その各キャビティ

部 40B の底板部 45 に貫通孔 31D を形成した構成とされている。そして、底板部 45 の貫通孔 31D が形成された縁部に半導体チップ 11 の絶縁膜 15 が微小基材面接合することにより、インターポーザ基材 21H に固定される構成とされている。また、ポスト電極 22A は貫通孔 31D を介してインターポーザ基材 21H の下面側に延出するよう構成されている。

[0131] 更に、キャビティ部 40C の深さは、半導体チップ 11 の厚さと略等しくなるよう設定されている。従って、半導体チップ 11 がインターポーザ基材 21H に接合された状態において、半導体チップ 11 はインターポーザ基材 21H の内部に位置する構成となる。これにより、半導体チップ 11 及び絶縁層 25, 26 がインターポーザ基材 21H から突出する量を小さくでき、半導体装置 10L の薄型化を図ることができる。

[0132] 続いて、本発明の第 13 及び第 14 実施例について説明する。図 21 は第 13 実施例である半導体装置 10M の断面図であり、図 22 は第 13 実施例である半導体装置 10M の斜視図である。また、図 23 は第 14 実施例である半導体装置 10N の断面図である。

[0133] この図 21 乃至図 23 に示す半導体装置 10M, 10N は、いずれも半導体チップ 11 のインターポーザ 20G, 20H に対する接合強度を高めるために接合補助部材 27 を設けたことを特徴としている。

[0134] 図 21 及び図 22 に示す第 13 実施例に係る半導体装置 10M は、図 20 に示した第 12 実施例に係る半導体装置 10L に接合補助部材 27 を設けたものである。具体的には、キャビティ部 40C 内の底板部 45 の上面と、半導体チップ 11 の外周側面との間に接合補助部材 27 を設けた構成としている。このため、図 22 に示すように、半導体装置 10M を外観視した場合、半導体チップ 11 の外周位置に接合補助部材 27 がキャビティ部 40C から露出した状態となる。

[0135] また、図 23 に示す第 14 実施例に係る半導体装置 10M は、図 18 に示した第 10 実施例に係る半導体装置 10J に接合補助部材 27 を設けたものである。具体的には、キャビティ部 40C 内の天板部 42 の上下両面と、半

導体チップ 11 の外周側面及び背面部 11a との間に接合補助部材 27 を設けた構成としている。よって、第 13 及び 14 実施例に係る半導体装置 10M、10N によっても、半導体チップ 11 の放熱効率を高く維持しつつ、半導体チップ 11 とインターポーザ基材 21G、21H との機械的強度を高めることができる。

[0136] 続いて、本発明の第 15 乃至第 17 実施例について説明する。図 24 は第 15 実施例である半導体装置 10P を示す断面図であり、図 25 は半導体装置 10P の斜視図である。また、図 26 は第 16 実施例である半導体装置 10Q を示す断面図であり、図 27 は第 17 実施例である半導体装置 10R を示す断面図である。

[0137] この図 24 乃至図 27 に示す各半導体装置 10P～10R は、いずれも半導体チップ 11 を封止するようインターポーザ基材 21G、21H、12I に封止樹脂 46A、46B を設けたことを特徴としている。

[0138] 図 24 に示す半導体装置 10P は、インターポーザ基材 21I に形成されたキャビティ部 40D に半導体チップ 11 を接合した後、キャビティ部 40D と半導体チップ 11 との離間部分に封止樹脂 46A を配設した構成としている。この封止樹脂 46A は、基材となる樹脂（例えば、エポキシ系樹脂）にシリコンをフィラーとして混入したものである。また、基材となる樹脂に高熱伝導性のものを用いて、放熱性を向上させることが望ましい。

[0139] また、キャビティ部 40D と半導体チップ 11 との離間部分に封止樹脂 46A を導入する具体的な方法としては、スクリーン印刷法を用いることができる。このスクリーン印刷法を実施する際、スクリーンを用いることなく、直接半導体チップ 11 が接合されたインターポーザ基材 21I の上部にスキージを用いてスクリーン印刷を行うことが可能である。この方法を用いた場合には、スクリーンが不要となるため、封止樹脂 46A を配設する処理の簡単化を図ることができる。

[0140] 上記のようにしてキャビティ部 40D と半導体チップ 11 との離間部分に封止樹脂 46A が配設されることにより、半導体チップ 11 はインターポー

ザ基材 2 1 I に封止樹脂 4 6 A により封止された状態で固定される。これにより、半導体チップ 1 1 の保護を確実に図ることができると共に、接合補助部材 2 7（図 2 1 〜図 2 3 参照）及び接着剤 4 4（図 1 9 参照）を設けると同様に、インターポーザ基材 2 1 I に対する半導体チップ 1 1 の取付け強度を高めることができる。

[0141] また、上記のように封止樹脂 4 6 A として、基材となる樹脂（例えば、エポキシ系樹脂）にシリコンをフィラーとして混入したものを用いて、即ち、封止樹脂 4 6 A は、インターポーザ基材 2 1 I と同一材質のフィラーが混入された構成とされている。これにより、封止樹脂 4 6 A とインターポーザ基材 2 1 I の熱膨張差を小さくすることができ、封止樹脂 4 6 A を設けても半導体装置 1 0 P に反りが発生することを防止することができる。

[0142] 図 2 6 及び図 2 7 に示す半導体装置 1 0 Q, 1 0 R は、モールド法を用いて封止樹脂 4 6 B を形成したことを特徴としている。モールド法を用いて封止樹脂 4 6 B を形成する場合、図 2 4 及び図 2 5 に示したスクリーン印刷法により封止樹脂 4 6 A を形成する方法と異なり、形成される封止樹脂 4 6 A の形状の自由度を高めることができる。

[0143] 即ち、封止樹脂 4 6 B は金型（図示せず）を用いて成型されることとなるため、金型に形成されるキャビティを適宜選定することにより、任意の形状の封止樹脂 4 6 B を形成することが可能となる。図 2 6 及び図 2 7 に示す例では、インターポーザ基材 2 1 G, 2 1 H の表面に対し、封止樹脂 4 6 B を高さ  $\Delta H$  だけ高くなるよう形成したものである。

[0144] このように、インターポーザ基材 2 1 G, 2 1 H に拘わらず封止樹脂 4 6 B を形成することが可能となることにより、半導体装置 1 0 Q, 1 0 R の機械的強度を任意に設定することが可能となる。また、モールド法を用いて封止樹脂 4 6 B を形成することにより、一括的に複数の封止樹脂 4 6 B を形成することが可能となり、製造効率を高めることができる。尚、封止樹脂 4 6 B にインターポーザ基材 2 1 G, 2 1 H と同一材質のフィラーを混入することにより、半導体装置 1 0 Q, 1 0 R に反りが発生することを防止する構成

としてもよい。

- [0145] 続いて、本発明の第18乃至第20実施例について説明する。図28は第18実施例である電子装置10Sを示す断面図であり、図29は第19実施例である電子装置10Tを示す断面図であり、図30は第20実施例である電子装置10Uを示す断面図である。
- [0146] 前記した各実施例に係る電子装置10A～10Rでは、インターポーザ基材21A～20Iに搭載される電子素子として半導体チップ11を用いた例を示した。これに対して第18乃至第20実施例では、電子素子として受動素子であるチップ部品50A～50Cを用いたことを特徴としている。このチップ部品50A～50Cは、具体的にはチップコンデンサー、チップ抵抗等である。
- [0147] この各チップ部品50A～50Cは、抵抗或はコンデンサーがウェハ等の基板上に形成された後、この基板をダイシングすることにより個片化したものである。このダイシングの際、ダイシングブレードの刃先角や刃幅を適宜選定したり、またダイシング方法としてハーフダイシングを用いたりすることにより、各チップ部品50A～50Cは種々の形状を有した構成とされている。具体的には、チップ部品50Aはベベルカット型のものであり、チップ部品50Bはステップカット型のものであり、チップ部品50CはV字カット型のものである。
- [0148] 図28に示す電子装置10Sは、インターポーザ基材21Jに形成された貫通孔51にチップ部品50A～50Cを装着したものである。このチップ部品50A～50Cとインターポーザ基材21Jは、前記した各実施例と同様に微小基材面接合方法を用いて接合されている。また、ポスト電極22Aはチップ部品50Aから50Cの電極13に直接形成された構成とされている。
- [0149] 従って、上記した各実施例と同様に、受動素子であるチップ部品50A～50Cを用いても接合にバンプやアンダーフィル樹脂を設ける必要がなくなり、部品点数の削減を図ることができる。また、インターポーザ20Sはポ

スト電極 22A によりチップ部品 50A～50C と電氣的に接続されるため、パンプによる接続構造に比べて電極間ピッチを狭ピッチ化することが可能となり、よって電子装置 10S の高密度化を図ることができる。

[0150] 更に、チップ部品 50A～50C とインターポーザ基材 21J は微小基材面接合により直接接触させることにより一体化されているため、パンプとアンダーフィル樹脂を用いた接合力よりも強い接合力でチップ部品 50A～50C とインターポーザ基材 21J とを接合することができる。これにより、電子装置 10S の信頼性を高めることができる。

[0151] 図 29 に示す電子装置 10T は、インターポーザ 20T を構成するインターポーザ基材 21K として、シリコンよりなる平板基板を用いたことを特徴としている。また、チップ部品 50A～50C は、その背面をインターポーザ基材 21K に微小基材面接合により直接接合された構成としている。

[0152] 更に、図 30 に示す電子装置 10U は、インターポーザ 20U を構成するインターポーザ基材 21L にキャビティ 40E を形成し、このキャビティ 40E 内にチップ部品 50A～50C を接合したことを特徴とするものである。本実施例においても、チップ部品 50A～50C は、その背面をインターポーザ基材 21L に微小基材面接合により直接接合された構成としている。図 29 及び図 30 に示す電子装置 10T、10U によれば、チップ部品 50A～50C の背面全面がインターポーザ基材 21K、21L に微小基材面接合されているため、接合強度を高めることができ、電子装置 10T、10U の信頼性を高めることができる。

[0153] 続いて、本発明の第 21 実施例について説明する。図 31 は第 21 実施例である電子装置 10V を示す断面図であり、図 32 は図 31 における A-A 線に沿う断面図である。

[0154] 前記した各実施例に係る電子体装置（半導体装置）10A～10R ではインターポーザ 20A～20R に搭載される電子素子として半導体チップ 11 を用いた例を示し、また第 18 乃至第 20 実施例に係る 10S～10V ではインターポーザ 20S～20U に搭載される電子素子として受動素子である

チップ部品 50A～50Cを用いた例を示した。

- [0155] これに対して本実施例に係る電子装置 10Vは、電子素子として光学デバイスを用いたことを特徴としている。具体的には、本実施例では光学デバイスとして発光素子 55 及び受光素子 56 を用い、これを光導波路により光学的に接続した構成としている。
- [0156] 電子装置 10Vは、大略するとインターポーザ 20V、発光素子 55、受光素子 56 等により構成されている。インターポーザ 20Vは、インターポーザ基材 21Mに、第 1 のクラッド層 52、第 2 のクラッド層 53、及びコア層 54 を積層した構造とされている。
- [0157] インターポーザ基材 21Mはシリコン基板であり、第 1 のクラッド層 52 が配設される側の面は平滑面（鏡面）とされている。また、このインターポーザ基材 21Mの所定位置には、周知の薄膜形成技術を用いて配線パターン 59 がパターン形成されている。
- [0158] 第 1 のクラッド層 52 はガラス材料よりなり、その所定位置にはコア層 54 を形成するための溝が所定のパターンで形成されている（図 32 参照）。この溝内には、コア層 54 が形成される。このコア層 54 が形成された第 1 のクラッド層 52 の表面には、更に第 2 のクラッド層 53 が形成される。この第 2 のクラッド層 53 は第 1 のクラッド層 52 と同一の材料であるガラス材料により形成されている。
- [0159] また、コア層 54 の屈折率  $n_1$  は、第 1 のクラッド層 52 及び第 2 のクラッド層 53 の屈折率  $n_2$  よりも大きく設定されている（ $n_1 > n_2$ ）。このため、コア層 54 に光が進行すると、この光はコア層 54 内で全反射を繰り返す。これにより、コア層 54 に進入した光は、コア層 54 内を伝送される構成となる。
- [0160] 上記構成とされたインターポーザ 20Vは、所定位置に開口部 62、63 が形成されている。開口部 62 は発光素子 55 の配設位置に設けられており、また開口部 63 は受光素子 56 の形成位置に設けられている。この開口部 62、63 が形成された位置では、鏡面とされたインターポーザ基材 21M

の表面が露出した状態となっている。

- [0161] 発光素子 55 は、このインターポーザ基材 21M に形成された開口部 62 内に挿入される。同様に、受光素子 56 もインターポーザ基材 21M に形成された開口部 63 内に挿入される。この際、発光素子 55 及び受光素子 56 のインターポーザ基材 21M と対向する面は平滑面（鏡面）とされている。
- [0162] よって、上記した各実施例と同様に、真空環境下において発光素子 55 及び受光素子 56 をインターポーザ基材 21M に押圧することにより平滑面同士は密着する。よって、発光素子 55 及び受光素子 56 とインターポーザ基材 21M は、接着剤等を用いなくても一体化し強固に接合された状態となる（微小基材面接合方法）。
- [0163] 発光素子 55 はホトダイオードであり、側部に光を発射する発光部 55A が形成されている。開口部 62 が形成されることによりこの開口部 62 に露出したコア層 54 の図中左端部は、発光素子 55 に形成された発光部 55A と対向するよう構成されている。よって、発光素子 55 で生成された光は、開口部 62 と開口部 63 との間に位置するコア層 54 に進入する。
- [0164] また、発光素子 55 は、図中下面に電極 55B が形成されている。この電極 55B にはポスト電極 60 が立設されており、その下端部には外部接続端子 24 が形成されている。
- [0165] 一方、開口部 63 には前記のように受光素子 56 が配設される。受光素子 56 はホトダイオードであり、本実施例では受光部 56A が図中下面に、電極 56B が図中上面に形成されている。
- [0166] 開口部 63 の形状は受光素子 56 よりも大きく形成されており、受光素子 56 と共に反射部材 57 が配設されるよう構成されている。この反射部材 57 は反射面 57A を有しており、この反射面 57A は開口部 63 に露出したコア層 54 の図中右端部と対向するよう構成されている。また、反射面 57A の角度は、発光素子 55 で発光されコア層 54 の右端部から出射した光が、受光素子 56 の受光部 56A に照射されるよう構成されている。
- [0167] 従って、インターポーザ 20V に配設された発光素子 55 と受光素子 56

は、導波路として機能する第1及び第2のクラッド層52, 53とコア層54により光学的に接続された構成となり、発光素子55と受光素子56との間で信号の送信が可能となる。これにより、電子装置10V内で損失のない精度の高い信号送信を行うことができ、電子装置10Vの信頼性を高めることができる。

[0168] また、受光素子56に形成されている電極56Bは、インターポーザ基材21Mに形成されている配線パターン59の図中左端部と電氣的に接続されている。また、各クラッド層52, 53及びコア層54の配線パターン59の図中右端部と対向する位置には、貫通電極61が形成されている。

[0169] この貫通電極61の図中上端部は配線パターン59と電氣的に接続されており、下端部には外部接続端子24が形成されている。尚、発光素子55の電極55Bの形成された側の開口部62及び第2のクラッド層53の表面には絶縁層58が形成されており、インターポーザ20Vの保護が図られている。

[0170] このように本実施例においても、発光素子55及び受光素子56とインターポーザ20V（インターポーザ基材21M）とを直接接触させることにより一体化しているため、従来行なわれていたパンプとアンダーフィル樹脂を用いて半導体チップとインターポーザとを接合する構造に比べ、強い接合力で両者を接合することができる。また、パンプ（はんだ）やアンダーフィル樹脂を用いないことにより、発光素子55及び受光素子56とコア層54とが光学的に接続される部位にはんだ、フラックス、樹脂等の不要物が侵入し汚染することを防止でき、光信号の送受信を確実に行うことができる。よって、これによっても電子装置10Vの信頼性を高めることができる。

## 請求の範囲

- [1] 電子素子と、  
前記電子素子が接合されるインターポーザ基材と、前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、  
前記電子素子と前記インターポーザ基材とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする電子装置。
- [2] 電子素子と、  
前記電子素子が接合されるインターポーザ基材と、該インターポーザ基材に形成された貫通孔内に配設され前記電子素子の電極と接続される複数のポスト電極とを有するインターポーザとを具備する電子装置において、  
前記電子素子の表面と前記インターポーザ基材の表面とを直接接触させることにより一体化すると共に、前記ポスト電極を前記電子素子の電極上に直接形成した構成としたことを特徴とする電子装置。
- [3] 請求項 1 または 2 記載の電子装置において、  
前記電子素子の材質と前記インターポーザ基材の材質が同一であることを特徴とする電子装置。
- [4] 請求項 1 または 2 記載の電子装置において、  
前記電子素子の材質と前記インターポーザ基材の材質を共にシリコンであることを特徴とする電子装置。
- [5] 請求項 1 または 2 記載の電子装置において、  
前記電子素子の少なくとも前記インターポーザ基材と接合する位置に第 1 の絶縁材層を形成すると共に、  
前記インターポーザ基材の少なくとも前記電子素子と接合する位置に第 2 の絶縁層を形成したことを特徴とする電子装置。
- [6] 請求項 2 記載の電子装置において、  
複数の前記ポスト電極が、ひとつの前記貫通孔内に配設されていることを

特徴とする電子装置。

- [7] 請求項 1 または 2 記載の電子装置において、  
前記インターポーザ基材に段差部を形成し、該電子素子を前記段差部内に  
前記電子素子を収納する構成としたことを特徴とする電子装置。
- [8] 請求項 1 または 2 記載の電子装置において、  
前記インターポーザ基材は複数の前記電子素子が搭載されてなることを特  
徴とする電子装置。
- [9] 請求項 1 または 2 記載の電子装置において、  
前記インターポーザ基材は前記電子素子の背面部と接合してなることを特  
徴とする電子装置。
- [10] 請求項 1 または 2 記載の電子装置において、  
前記電子素子を封止する封止樹脂を前記インターポーザ基材に配設したこ  
とを特徴とする電子装置。
- [11] 請求項 1 または 2 記載の電子装置において、  
前記電子素子は半導体チップであることを特徴とする電子装置。
- [12] 請求項 1 または 2 記載の電子装置において、  
前記電子素子は受動素子であることを特徴とする電子装置。
- [13] 貫通孔が形成されたインターポーザ基材の表面と電子素子の表面とを直接  
接触させることにより、前記インターポーザ基材と前記電子素子とを一体化  
する一体化工程と、  
該一体化工程の終了後、前記貫通孔内でかつ前記電子素子の電極上にポス  
ト電極を直接形成するポスト電極形成工程と、  
前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程  
と、  
前記再配線上に外部接続電極を形成する外部接続電極形成工程と  
を有することを特徴とする電子装置の製造方法。
- [14] 電子素子の電極上にポスト電極を直接形成するポスト電極形成工程と、  
該ポスト電極形成工程の終了後、貫通孔が形成されたインターポーザ基材

の表面と電子素子の表面とを直接接触させ、前記インターポーザ基材と前記電子素子とを一体化する一体化工程と、

前記ポスト電極と電氣的に接続される再配線層を形成する再配線形成工程と、

前記再配線上に外部接続電極を形成する外部接続電極形成工程とを有することを特徴とする電子装置の製造方法。

[15] 請求項 1 4 記載の電子装置の製造方法において、

前記ポスト電極を保持する絶縁材よりなる保護層を前記電子素子に形成する保護層形成工程を有することを特徴とする電子装置の製造方法。

[16] 電子素子と、

前記電子素子が接合されるインターポーザとを具備する電子装置において

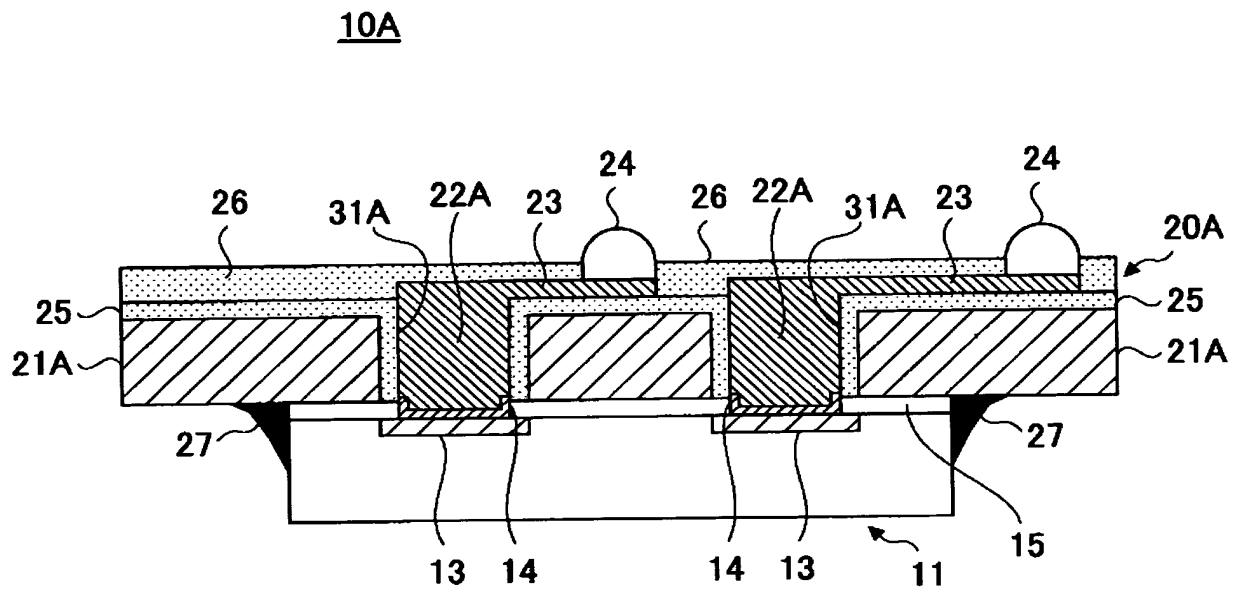
、  
前記電子素子と前記インターポーザとを直接接触させることにより一体化した構成としたことを特徴とする電子装置。

[17] 請求項 1 6 記載の電子装置において、

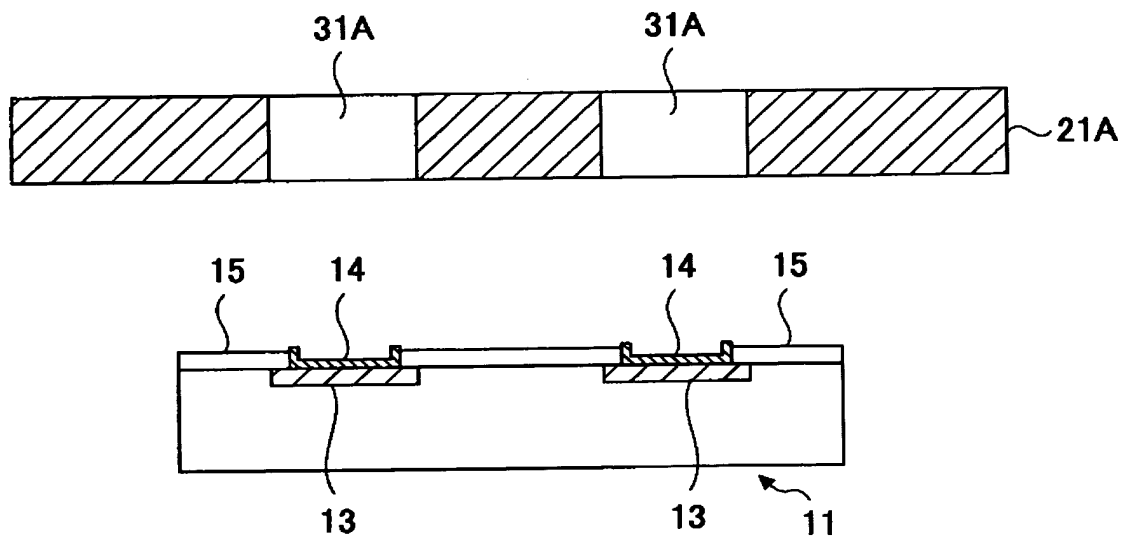
前記電子素子は光デバイスであり、

前記インターポーザには、前記光デバイスと光学的に接続される光導波路が設けられていることを特徴とする電子装置。

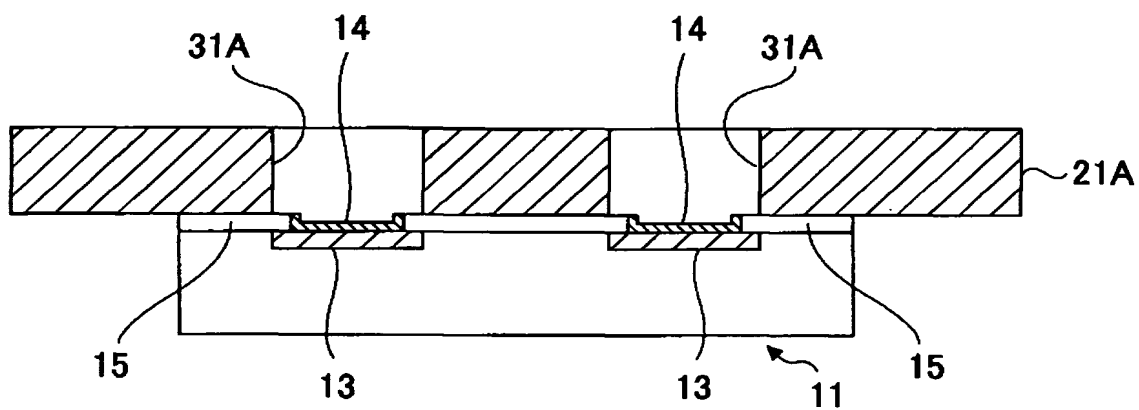
[図1]



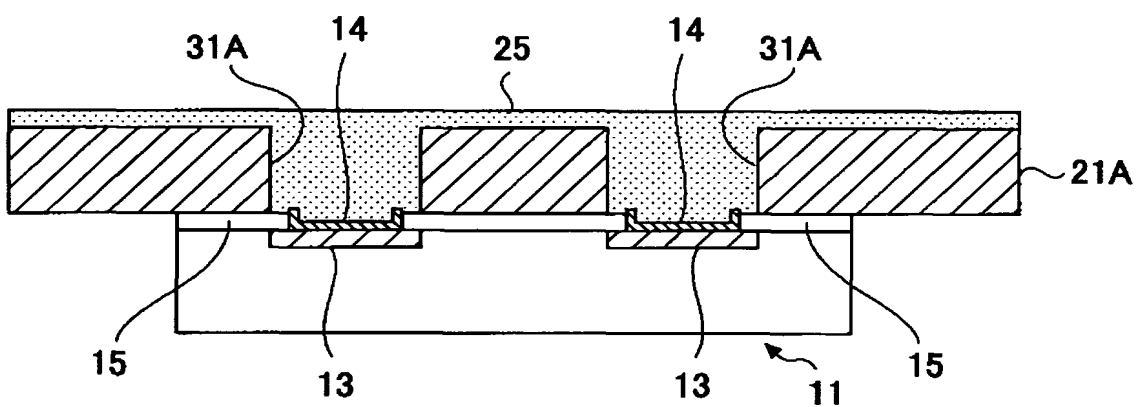
[図2A]



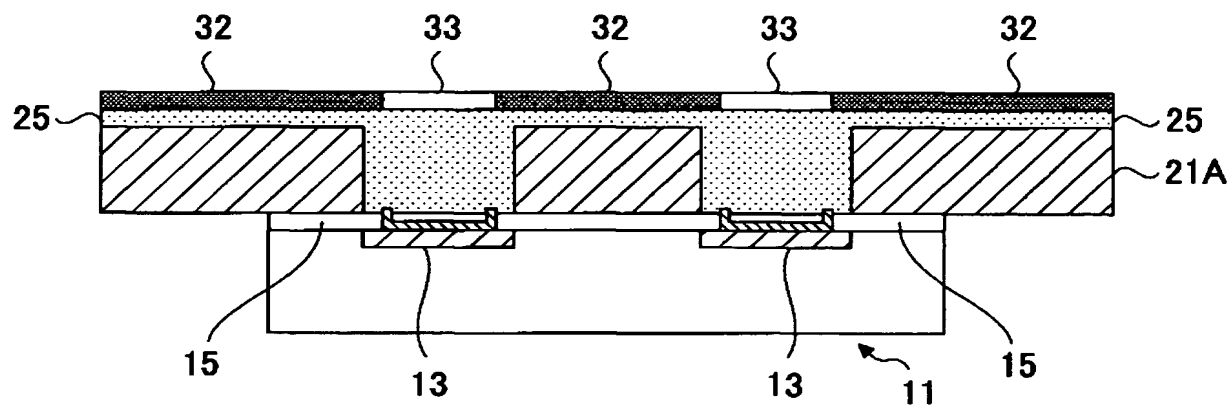
[図2B]



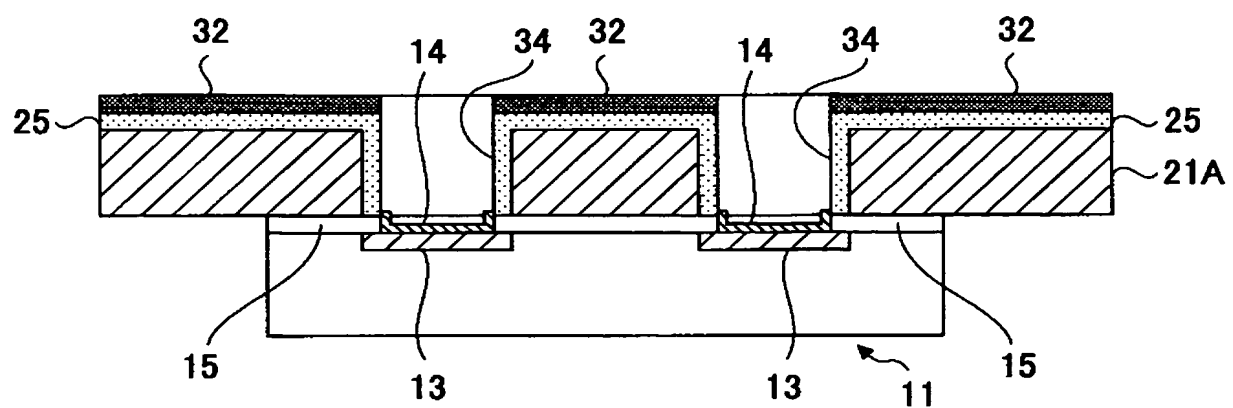
[図2C]



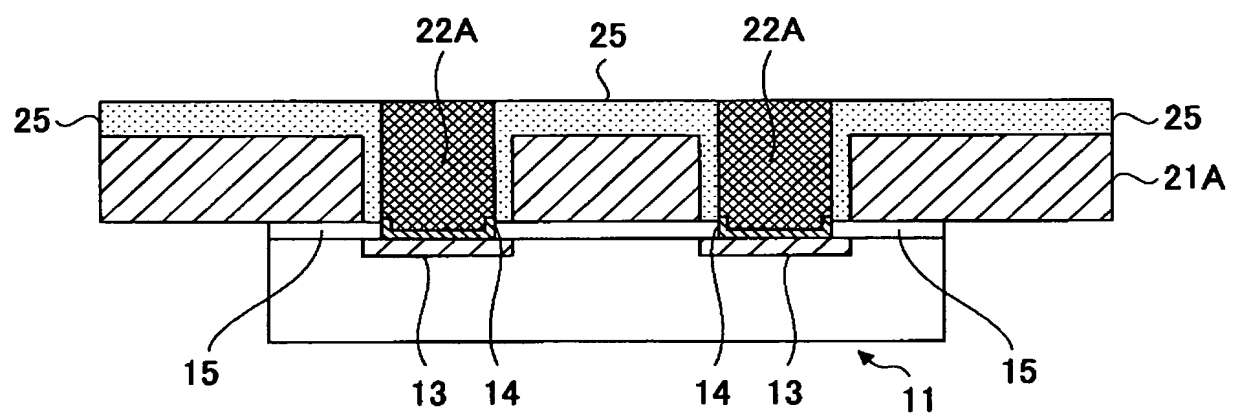
[図3A]



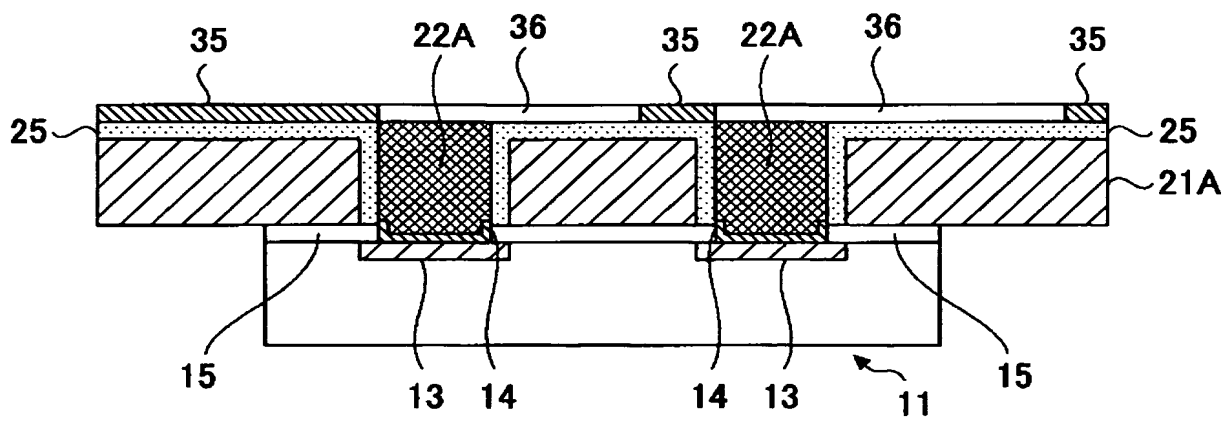
[図3B]



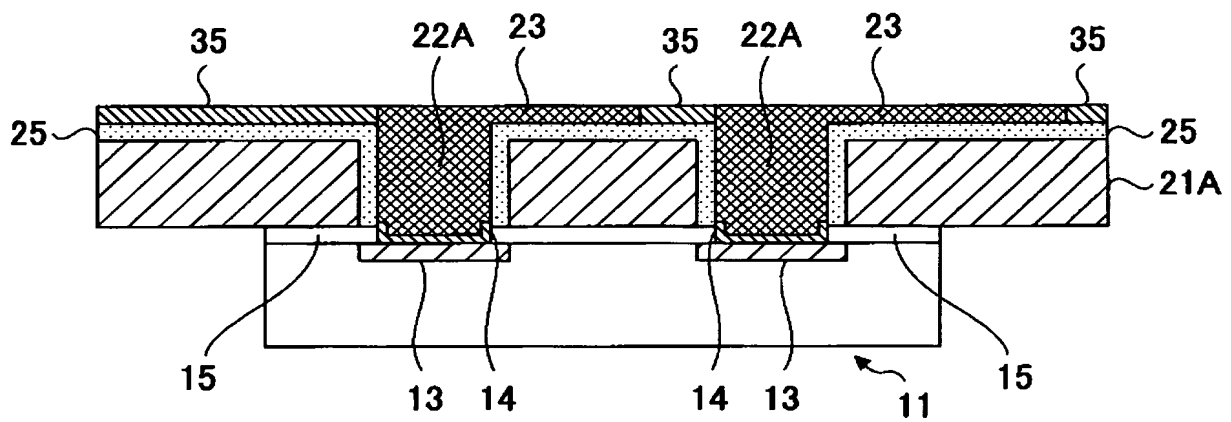
[図3C]



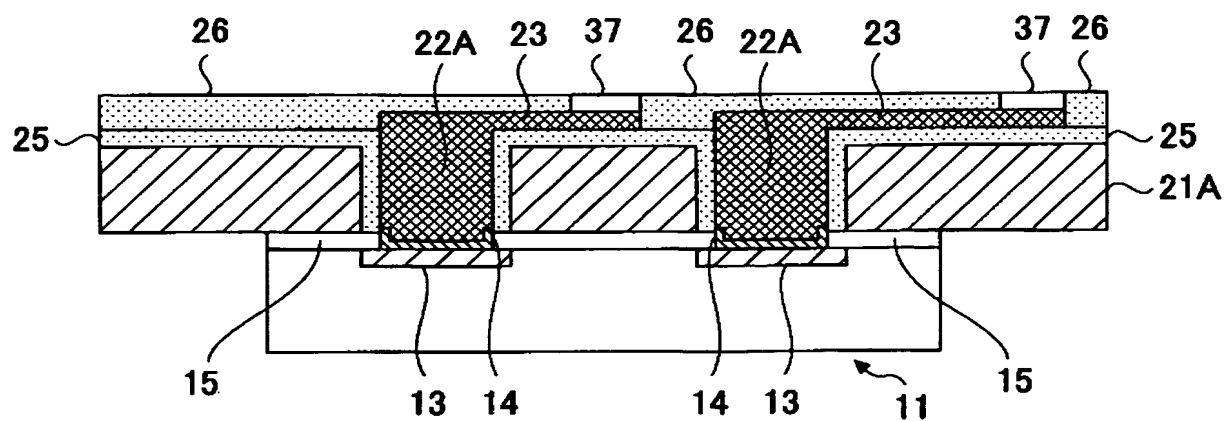
**[図4A]**



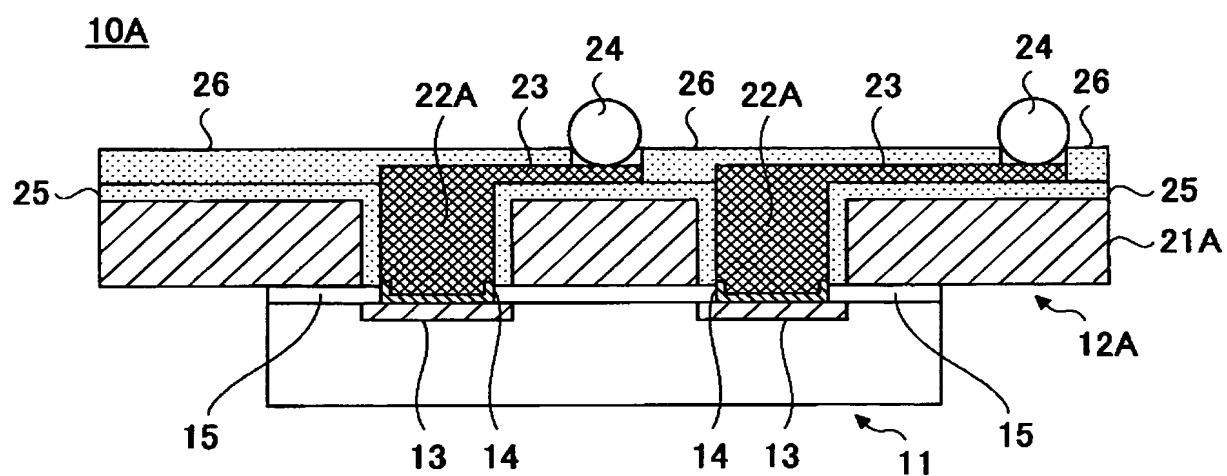
**[図4B]**



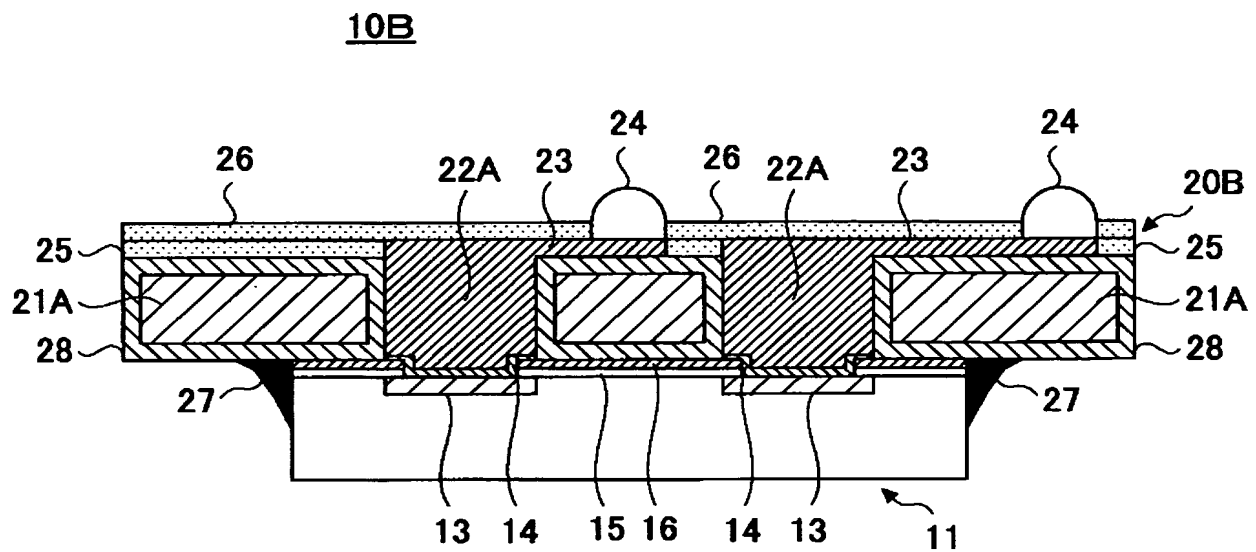
**[図4C]**



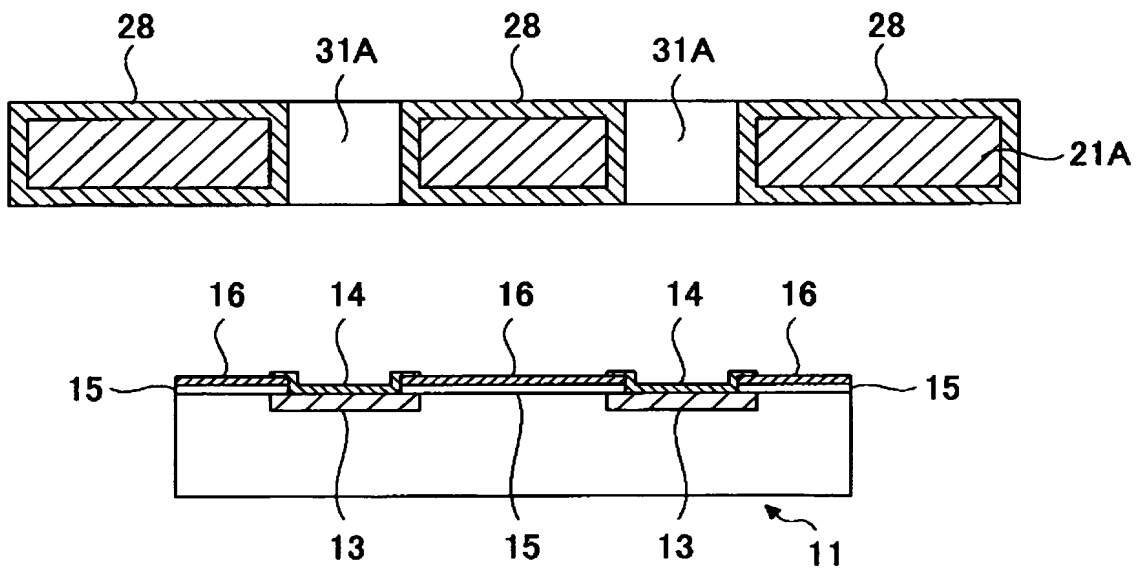
**[図4D]**



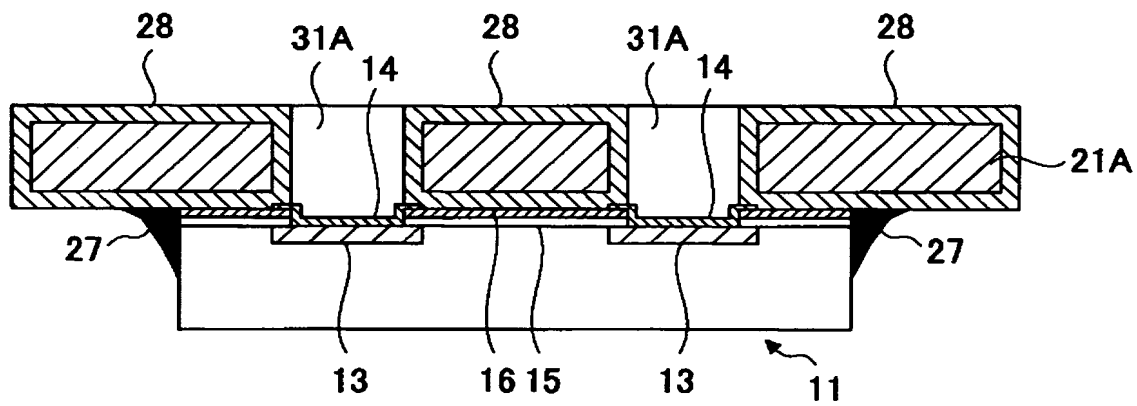
[図5]



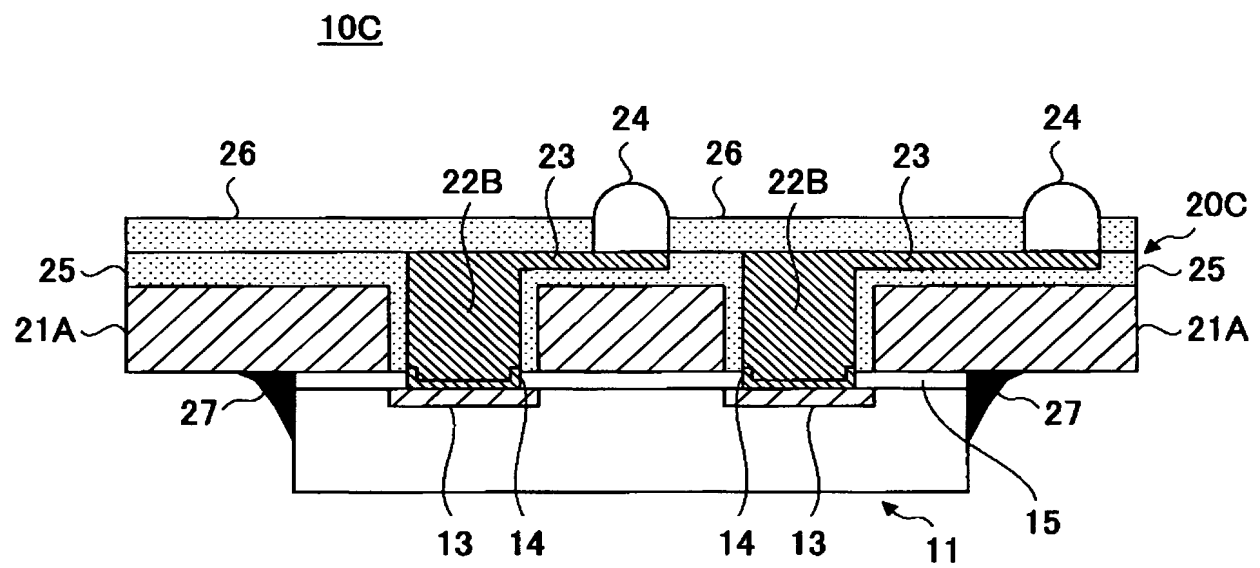
[図6A]



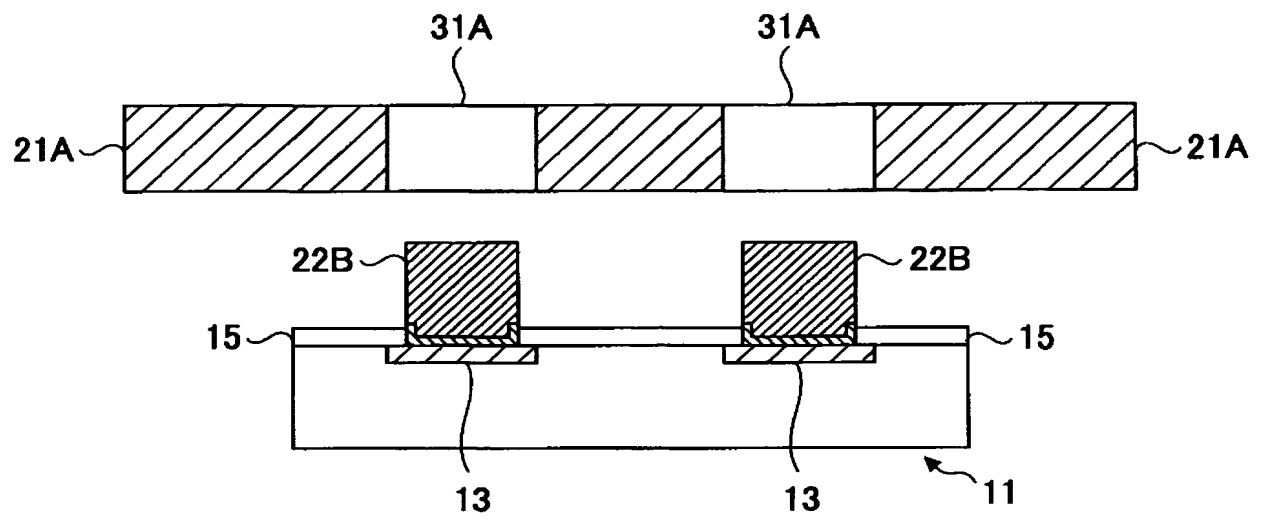
[図6B]



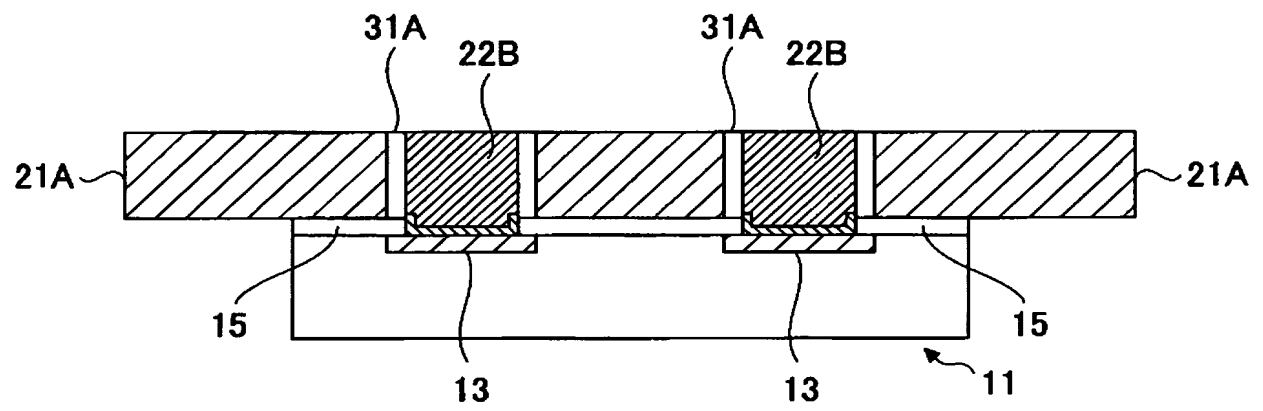
[図7]



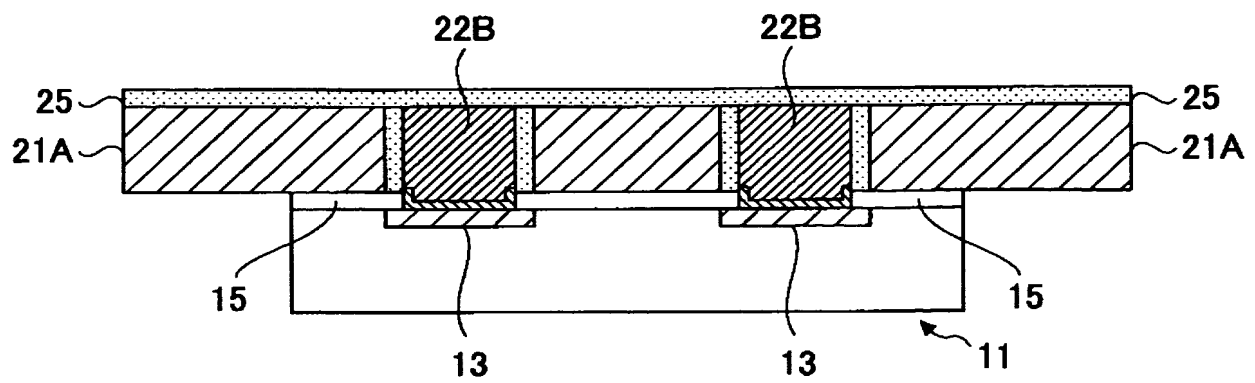
[図8A]



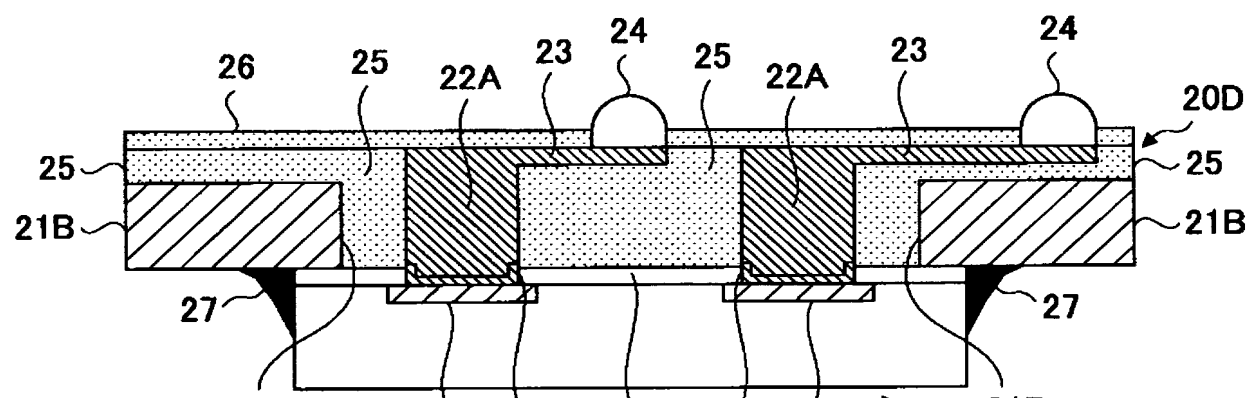
[図8B]



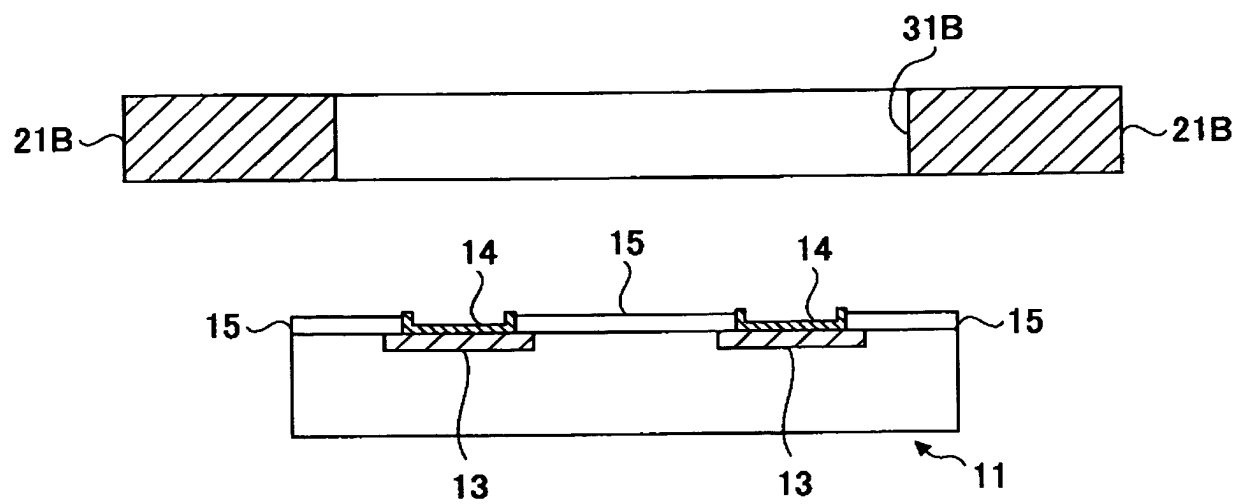
[図8C]



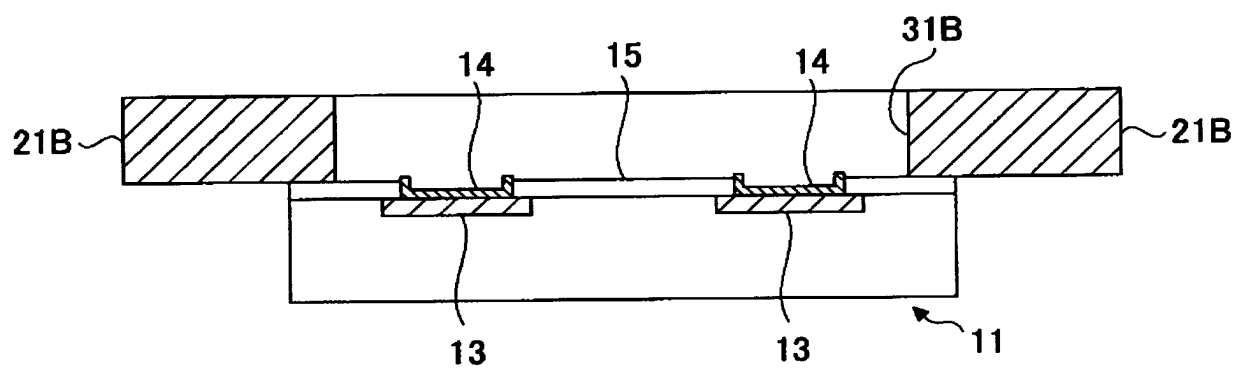
[図9]

10D

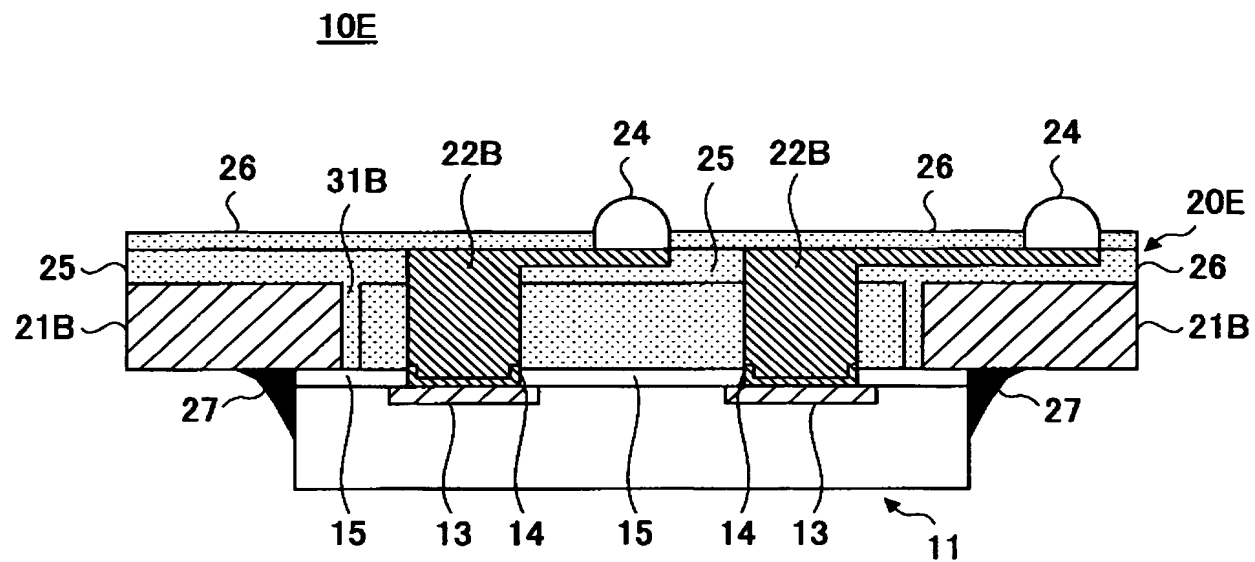
[図10A]



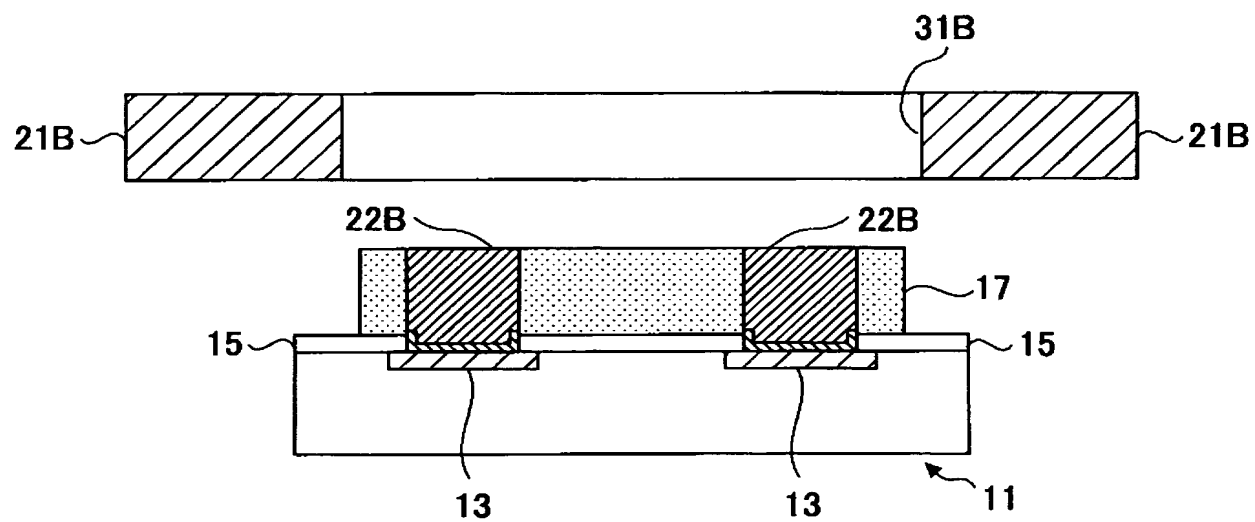
[図10B]



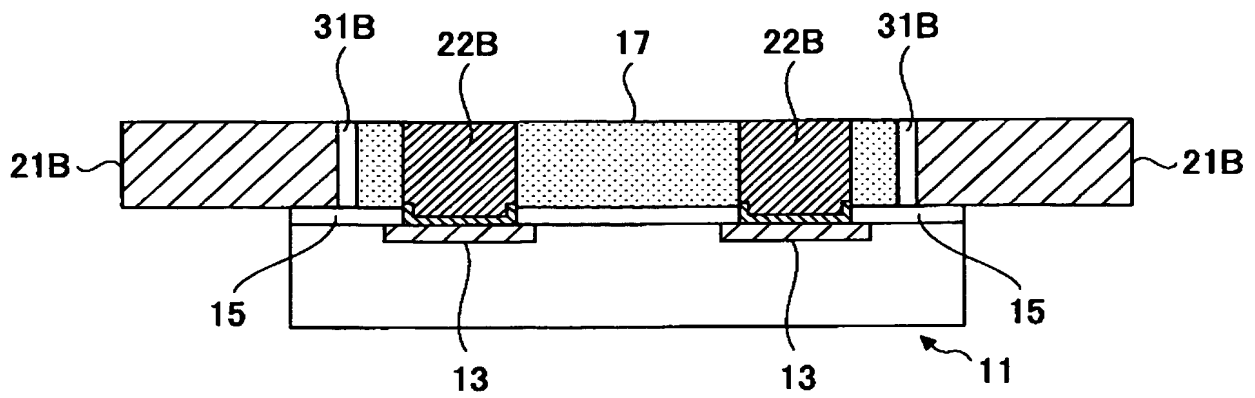
[図11]



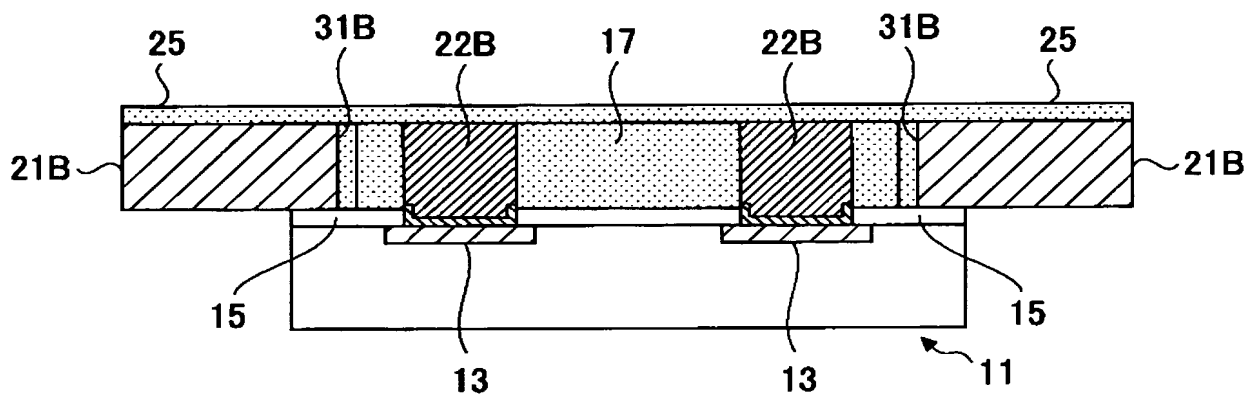
[図12A]



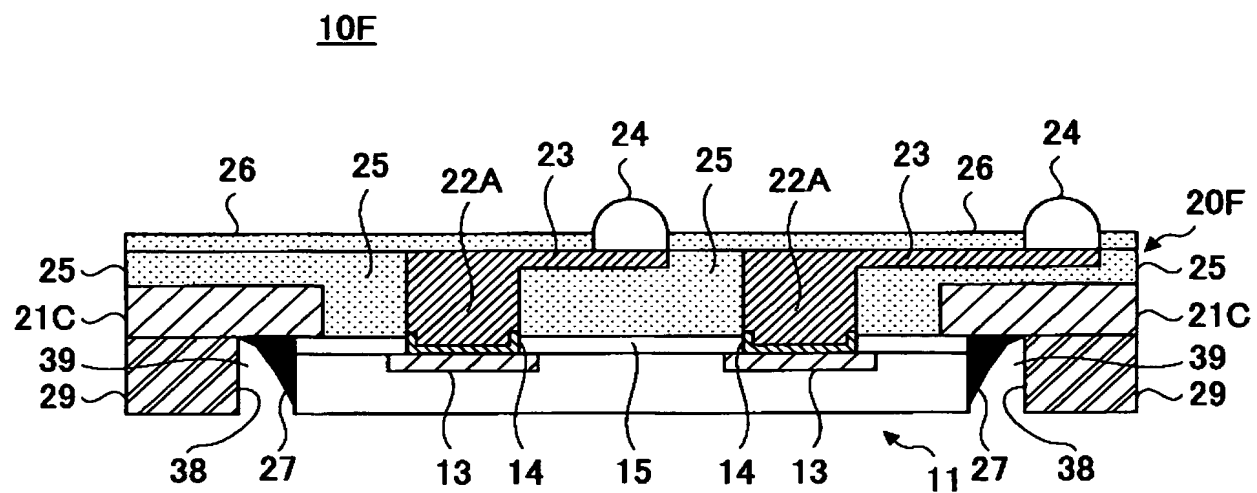
[図12B]



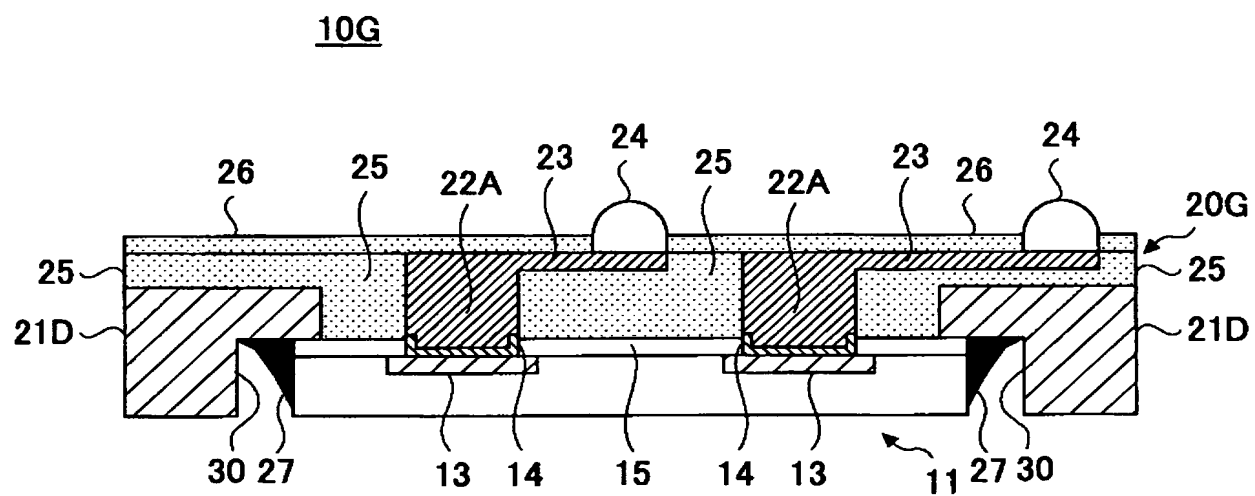
[図12C]



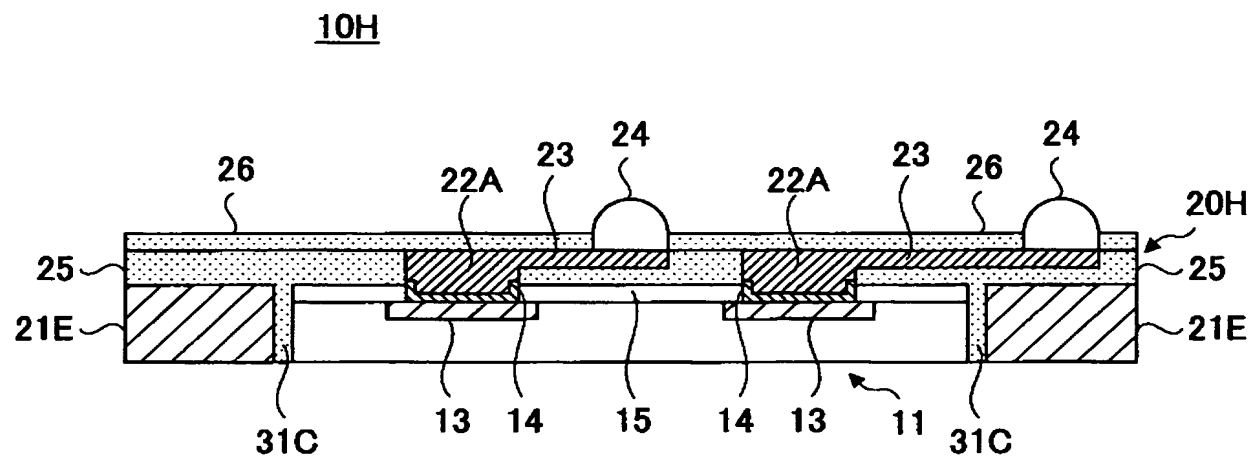
[図13]



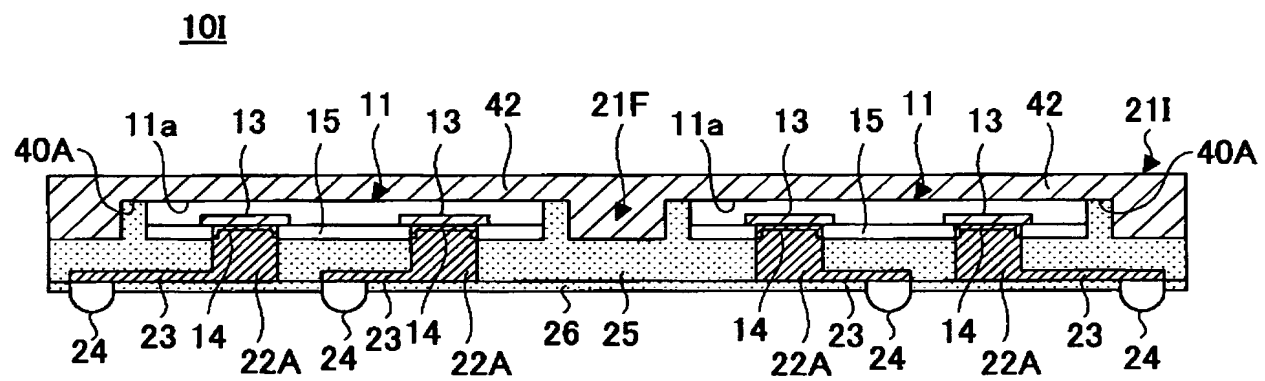
[図14]



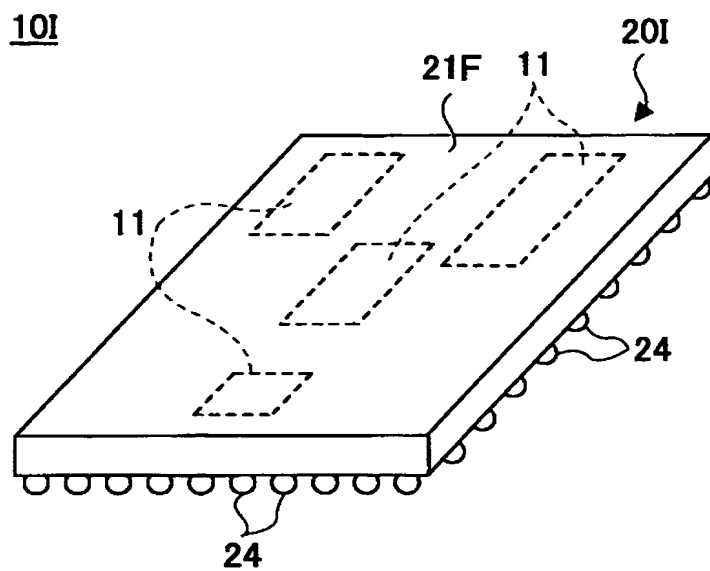
[図15]



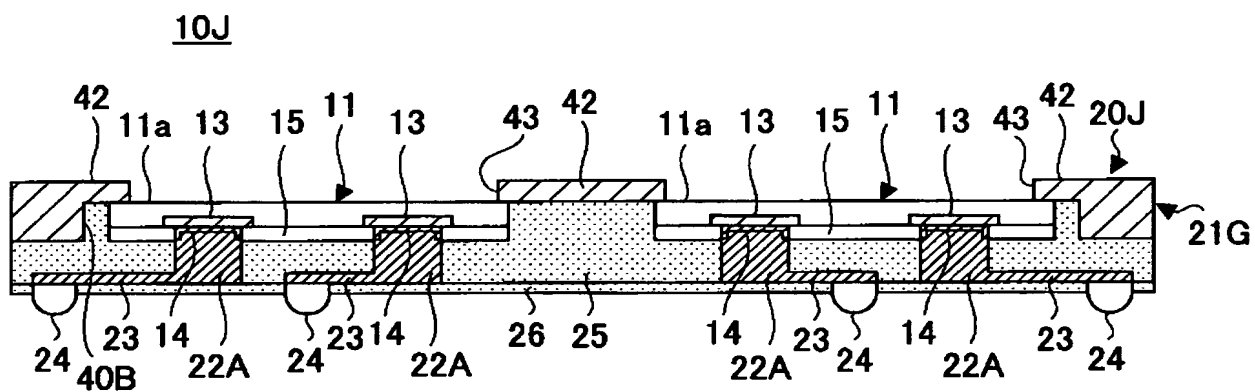
[図16]



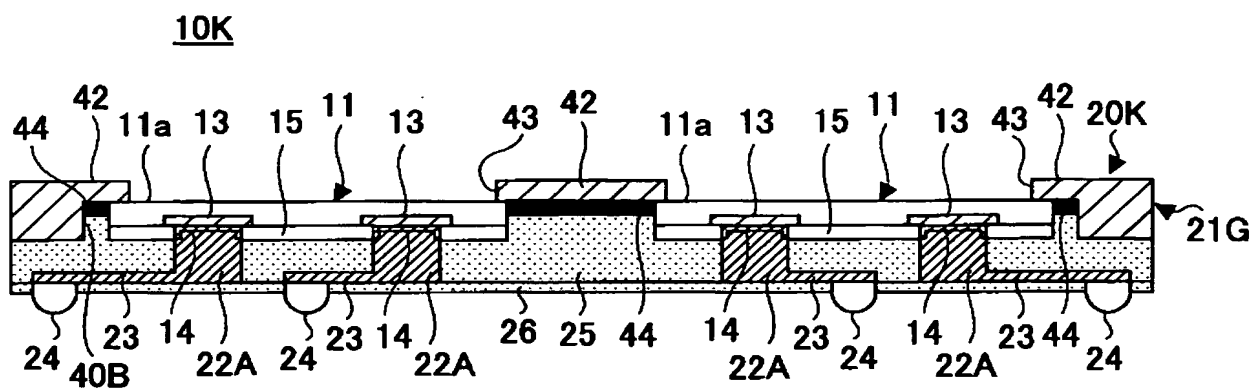
[図17]



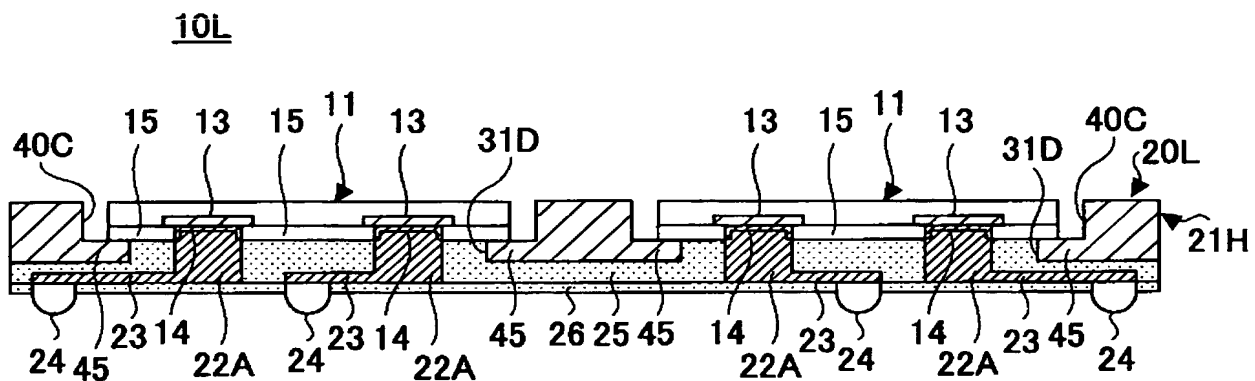
[図18]



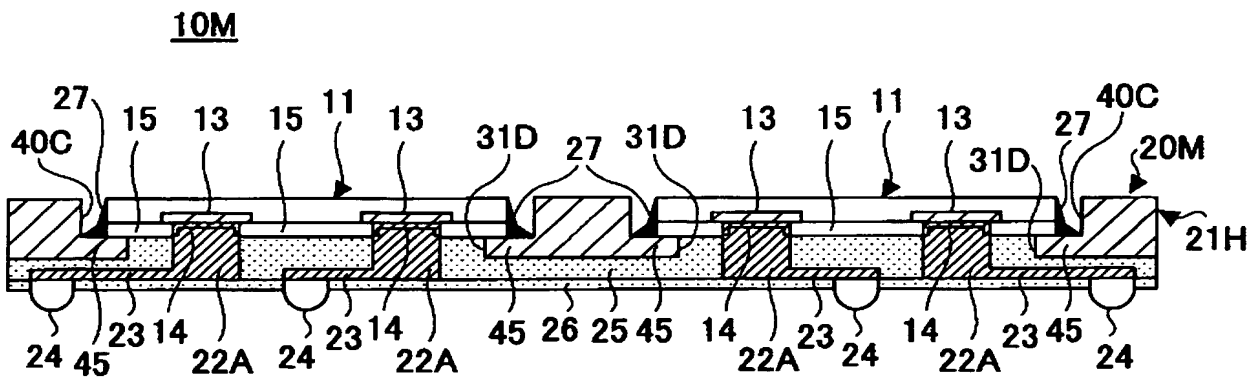
[図19]



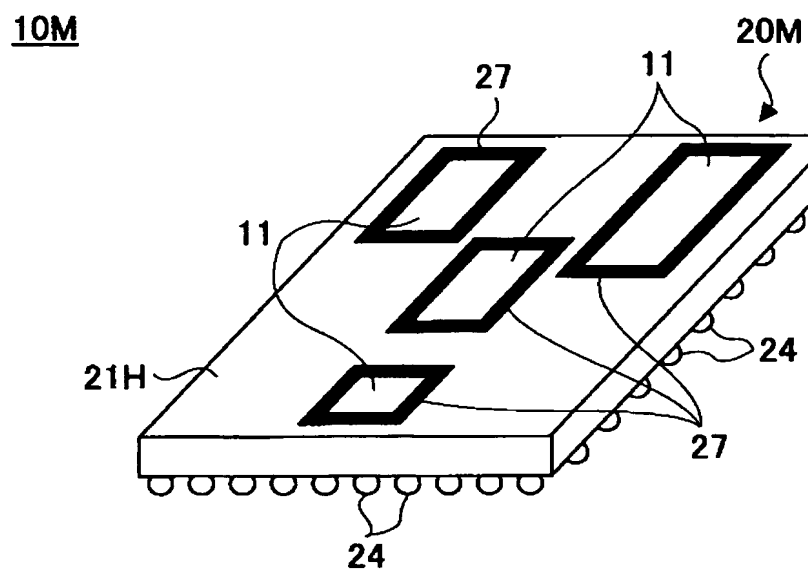
**[図20]**



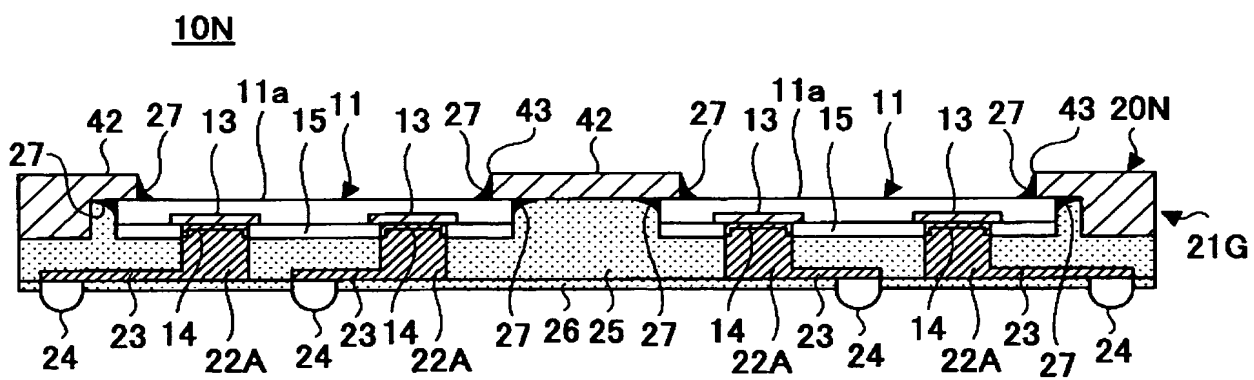
**[図21]**



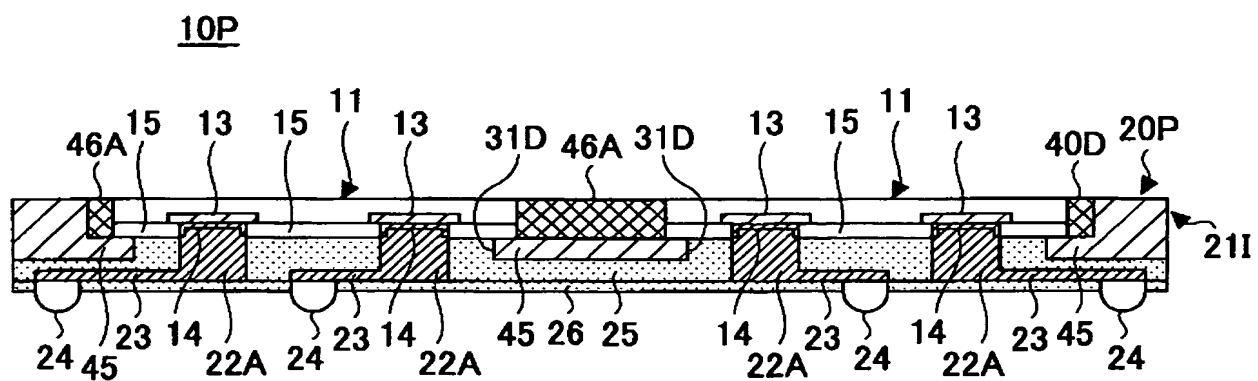
[図22]



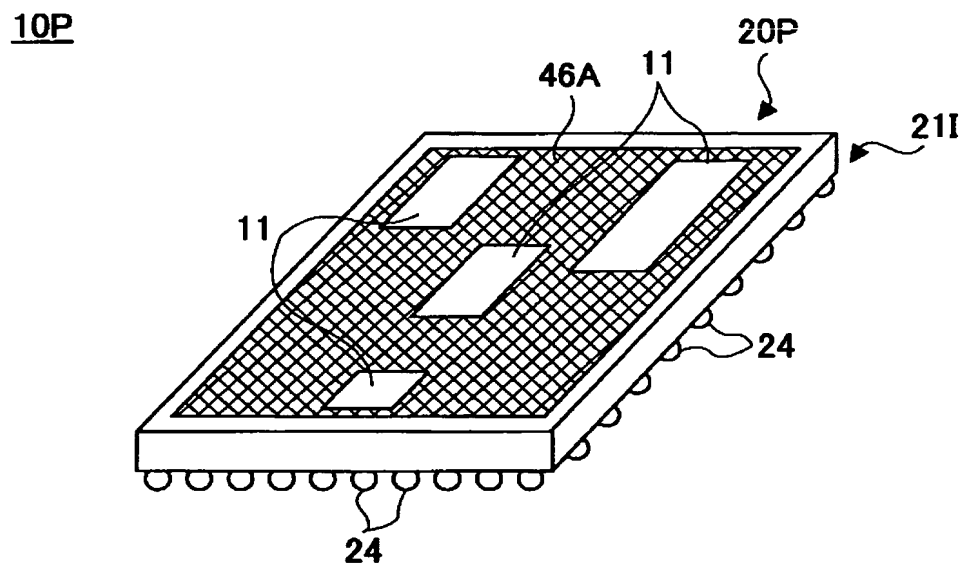
[図23]



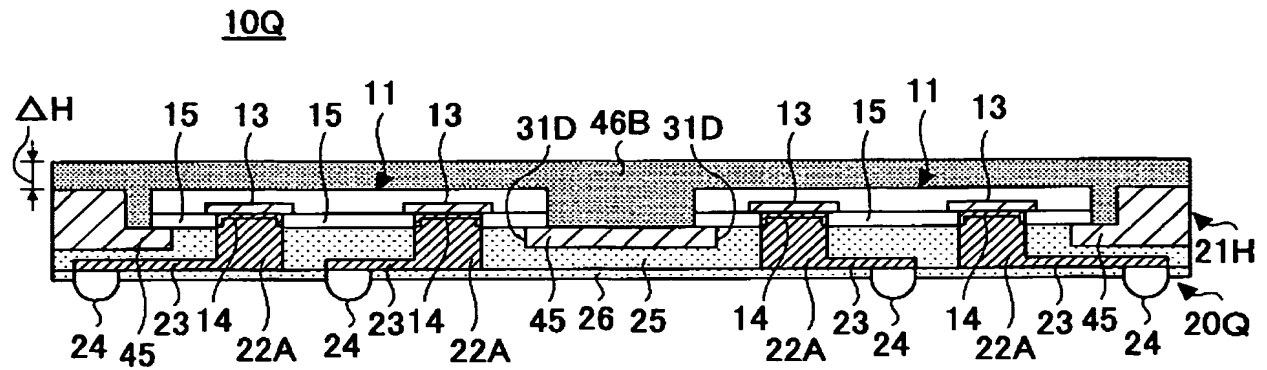
[図24]



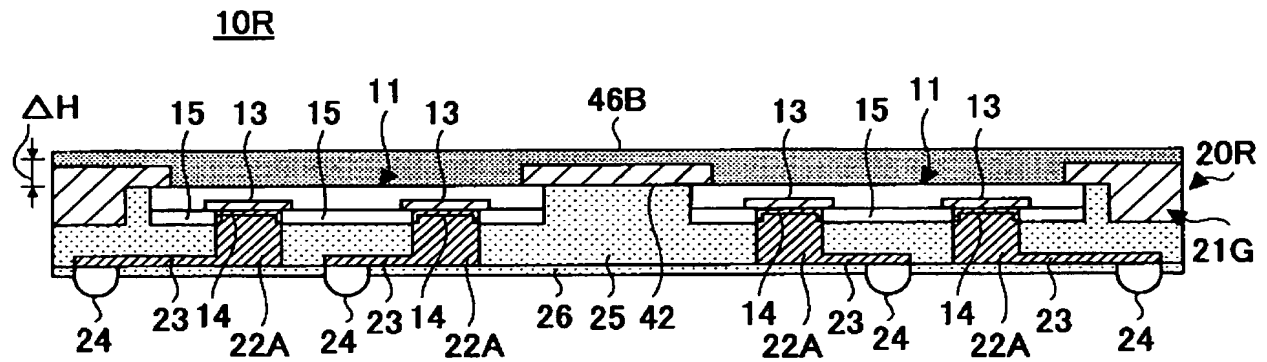
[図25]



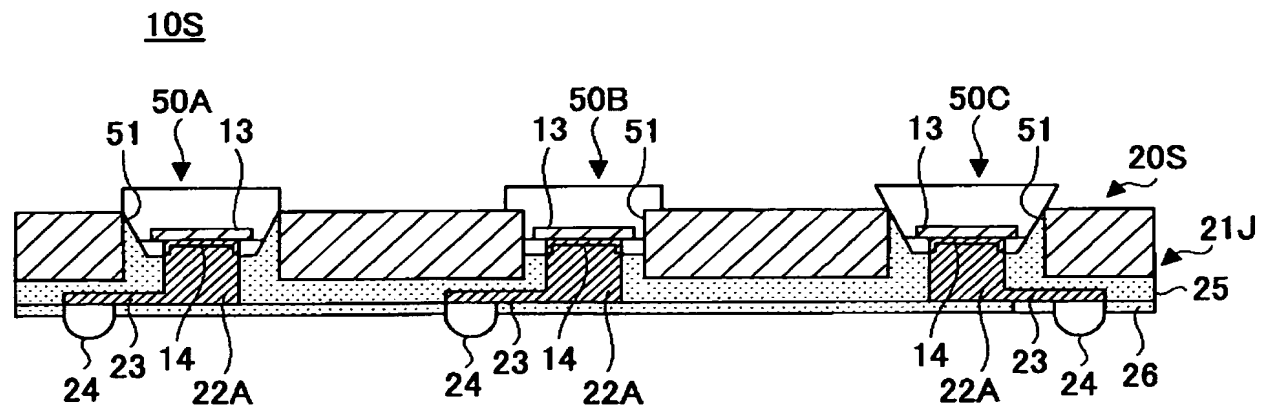
[図26]



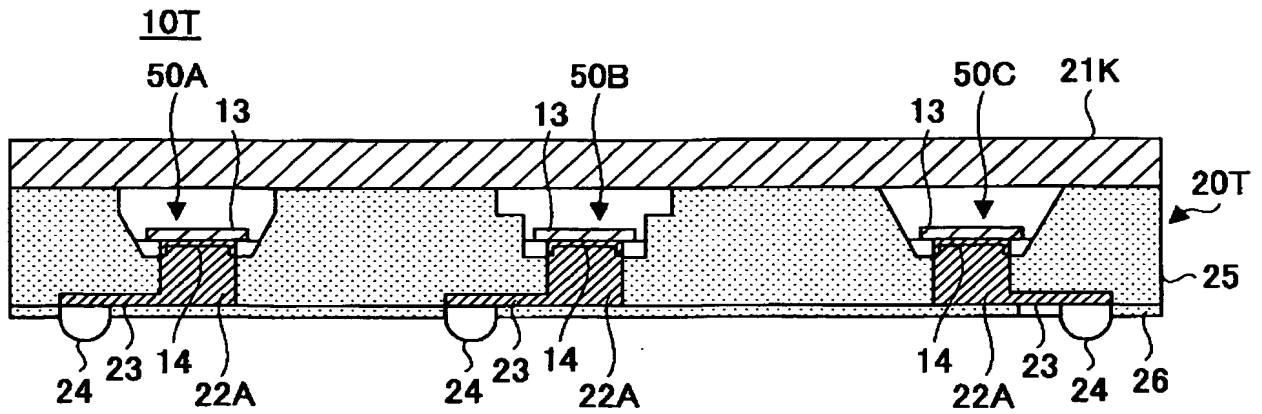
[図27]



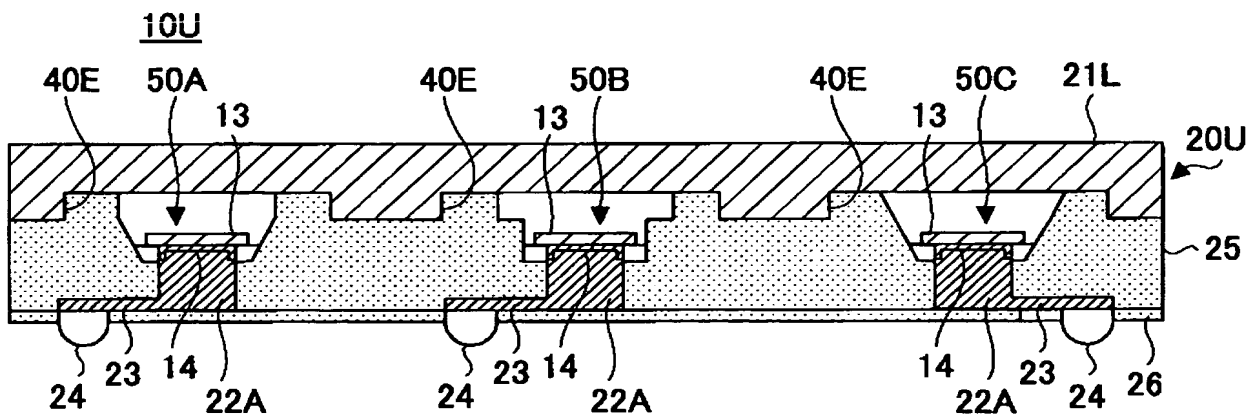
[図28]



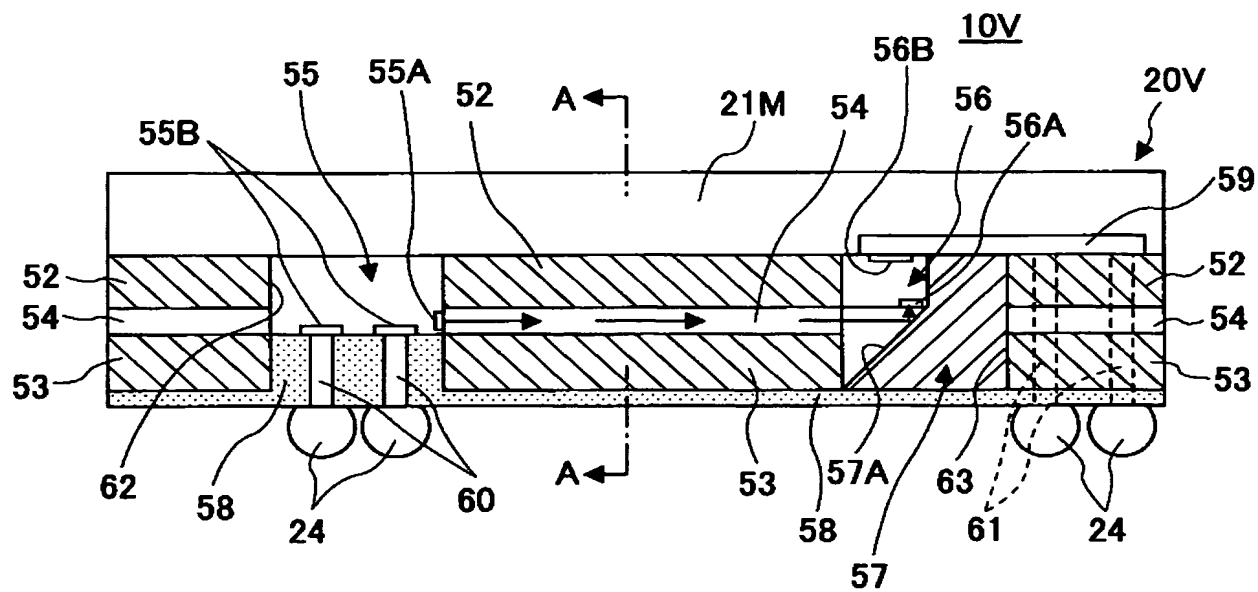
[図29]



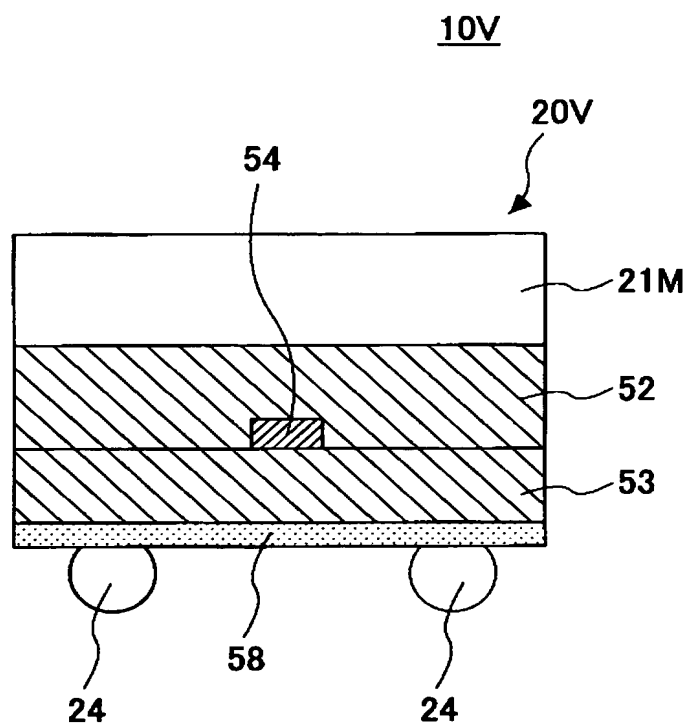
[図30]



[図31]



[図32]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/016244

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L23/12, H01L21/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-7236 A (Nitto Denko Corp.), 12 January, 2001 (12.01.01), (Family: none)	1-17
A	JP 2000-349194 A (Matsushita Electric Industrial Co., Ltd.), 15 December, 2000 (15.12.00), (Family: none)	1-17
A	JP 2001-223287 A (Mitsui High-tec Inc.), 17 August, 2001 (17.08.01), (Family: none)	1-17
A	JP 02-126625 A (Shin-Etsu Handotai Co., Ltd.), 15 May, 1990 (15.05.90), (Family: none)	1-17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed  
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
25 November, 2004 (25.11.04)

Date of mailing of the international search report  
14 December, 2004 (14.12.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/016244

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-134545 A (Oki Electric Industry Co., Ltd.), 10 May, 2002 (10.05.02), & US 2002/0052065 A1	1-17

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl<sup>1</sup> H01L23/12

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl<sup>1</sup> H01L23/12, H01L21/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-7236 A(日東電工株式会社)2001.01.12 (ファミリーなし)	1-17
A	JP 2000-349194 A(松下電器産業株式会社)2000.12.15 (ファミリーなし)	1-17
A	JP 2001-223287 A(株式会社三井ハイテック)2001.08.17 (ファミリーなし)	1-17
A	JP 02-126625 A(信越半導体株式会社)1990.05.15 (ファミリーなし)	1-17
A	JP 2002-134545 A(沖電気工業株式会社)2002.05.10 & US 2002/0052065 A1	1-17

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

25.11.2004

国際調査報告の発送日

14.12.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 坂本 薫昭

4 R

9265

電話番号 03-3581-1101 内線 6363